

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: 

Sachiko ONOZAWA

New Application

Filed: November 30, 2000

Attorney Dkt. No.: 32305-168070

For: METHOD OF FABRICATING SEMICONDUCTOR DEVICE

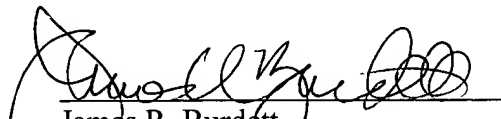
**SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Application No. 11-344638 upon which a claim to priority was made under 35 U.S.C. §119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

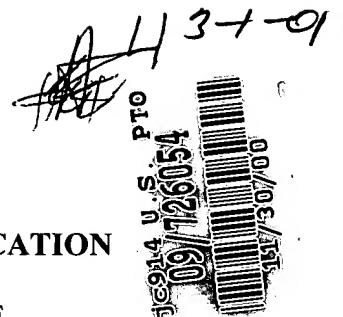
Respectfully submitted,

  
James R. Burdett  
Registration No. 31,594

Venable  
Post Office Box 34385  
Washington, D.C. 20043-9998  
Telephone: (202) 962-4800  
Facsimile: (202) 962-8300

Date: November 30, 2000

JRB:lrh  
#253158



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月 3日

出 願 番 号

Application Number:

平成11年特許願第344638号

出 願 人

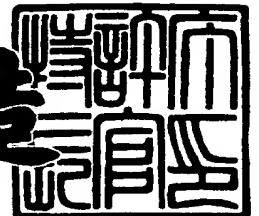
Applicant(s):

沖電気工業株式会社

2000年10月27日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3088846

【書類名】 特許願

【整理番号】 OH003473

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/772  
H01L 29/80

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

【氏名】 小野澤 幸子

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 複数の単位 F E T が一列に配列された構造を有する半導体装置を製造するにあたり、

該半導体装置における所望のドレイン電流値が得られる、前記単位 F E T の個数  $p$  を、予め決めておき、

前記個数  $p$  よりも多い  $m$  個の能動層領域を、基板上に一列に配列するように形成する工程と、

前記  $m$  個の能動層領域の各領域上に、それぞれ、ゲート電極、ソース電極およびドレイン電極を形成して、 $m$  個の前記単位 F E T の基本構造体を形成する工程と、

前記基本構造体 1 つ分のドレイン電流値を測定して得られる測定値から前記半導体装置のドレイン電流値を予想して、該予想値と前記所望のドレイン電流値とを比較して、該所望のドレイン電流値を満たす前記基本構造体の数  $n$  を決定する工程と、

前記基本構造体上に層間絶縁膜を形成する工程と、

該層間絶縁膜を貫通し、前記ゲート電極の表面の一部を露出する第 1 コンタクトホールと、前記層間絶縁膜を貫通し、前記ソース電極の表面の一部を露出する第 2 コンタクトホールと、前記層間絶縁膜を貫通し、前記ドレイン電極の表面の一部を露出する第 3 コンタクトホールとを同時に形成する工程とを含み、

前記第 1、第 2 および第 3 コンタクトホールの形成を、前記層間絶縁膜の前記  $n$  個の基本構造体上の領域に対してのみ行う、

ただし、 $m \geq n$  とし、 $m$ 、 $n > 0$  である

ことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記基本構造体の数  $n$  は、

前記予想値を  $I_{dss}$  とし、前記所望のドレイン電流値を  $I_{dss \text{ design}}$  とすると

、次式

$$I_{dss} \times n / m \geq I_{dss \text{ design}}$$

を満たす最小の数  $n$  である

ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体装置の製造方法において、

前記第 1、第 2 および第 3 コンタクトホール形成は、

前記層間絶縁膜上にレジスト膜を形成する工程と、

前記基本構造体 1 つ分の前記層間絶縁膜の領域に形成される前記第 1、第 2 および第 3 コンタクトホールに対応するコンタクトホール形成用窓が設けられたマスクを用いて、前記レジスト膜に対して露光および現像処理する工程を、前記マスクの位置を前記基本構造体 1 つ分ずつ移動させて行い、 $n$  個のコンタクトホールパターンを有するレジストパターンを形成する工程と、

前記レジストパターンを用いて、前記層間絶縁膜をエッチング処理する工程とを含んでいる

ことを特徴とする半導体装置の製造方法。

【請求項 4】 複数の単位 F E T が一列に配列された構造を有する半導体装置を製造するにあたり、

該半導体装置における所望のドレイン電流値が得られる前記単位 F E T の個数  $p$  を、予め設計しておく、

前記個数  $p$  よりも多い  $m$  個の能動層領域を、基板上に一列に配列するように形成する工程と、

前記  $m$  個の能動層領域の各領域上に、それぞれ、ゲート電極、ソース電極およびドレイン電極を形成して、 $m$  個の前記単位 F E T の基本構造体を形成する工程と、

前記基本構造体 1 つ分のドレイン電流値を測定して得られる測定値から前記半導体装置のドレイン電流値を予想して、該予想値と前記所望のドレイン電流値とを比較して、該所望のドレイン電流値が得られる前記基本構造体の数  $n$  を決定する工程と、

前記基本構造体上に層間絶縁膜を形成する工程と、

該層間絶縁膜を貫通し、前記ゲート電極の表面の一部を露出する第 1 コンタク

トホールと、前記層間絶縁膜を貫通し、前記ソース電極の表面の一部を露出する第2コンタクトホールと、前記層間絶縁膜を貫通し、前記ドレイン電極の表面の一部を露出する第3コンタクトホールとを同時に形成する工程と、

前記第1コンタクトホール内および前記層間絶縁膜上にゲートパッドを形成し、前記第2コンタクトホール内および前記層間絶縁膜上にソースパッドを形成し、前記第3コンタクトホール内および前記層間絶縁膜上に第1ドレインパッドを形成し、かつ前記層間絶縁膜上であって、前記第1ドレインパッドとは離間して第2ドレインパッドを形成するパッド形成工程と、

前記第1ドレインパッドと前記第2ドレインパッドとを接続するエアブリッジ配線を形成する工程とを含み、

前記パッド形成工程は、前記層間絶縁膜の前記  $n$  個の基本構造体上の領域に対して行う、

ただし  $m \geq n$  とし、 $m$ 、 $n > 0$  である

ことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、

前記基本構造体の数  $n$  は、

前記予想値を  $I_{dss}$  とし、前記所望のドレイン電流値を  $I_{dss\ design}$  とすると

、次式

$$I_{dss} \times n / m \geq I_{dss\ design}$$

を満たす最小の数  $n$  である

ことを特徴とする半導体装置の製造方法。

【請求項6】 請求項4に記載の半導体装置の製造方法において、

前記パッド形成工程は、

前記層間絶縁膜上にレジスト膜を形成する工程と、

前記ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドのパターンを有するパッドパターンマスクと、前記  $n$  個以外の基本構造体上のパッド形成予定領域を囲む形状のパターンを有するパッド消去用マスクとを用いて、前記レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する工程と、

該パッド形成用レジストパターンを用いて、リフトオフ法によって、前記ゲートパッド、ソースパッド、第 1 ドレインパッドおよび第 2 ドレインパッドを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、前記レジスト膜の露光を、前記パッドパターンマスクを用いた第 1 露光と、前記パッド消去用マスクを用いた第 2 露光との、2 段階の露光によって行うことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 4 に記載の半導体装置の製造方法において、前記パッド形成工程は、前記層間絶縁膜上にレジスト膜を形成する工程と、前記ゲートパッド、ソースパッド、第 1 ドレインパッドおよび第 2 ドレインパッドのパターンを有するパッドパターンマスクと、前記  $n$  個の基本構造体上の領域と前記  $n$  個以外の基本構造体上の領域とを分断するスリットパターンマスクとを用いて、前記レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する工程と、

該パッド形成用レジストパターンを用いて、リフトオフ法によって、前記ゲートパッド、ソースパッド、第 1 ドレインパッドおよび第 2 ドレインパッドを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、前記レジスト膜の露光を、前記パッドパターンマスクを用いた第 1 露光と、前記スリットパターンマスクを用いた第 2 露光との、2 段階の露光によって行うことを特徴とする半導体装置の製造方法。

【請求項 10】 複数の単位 F E T が一列に配列された構造を有する半導体装置を製造するにあたり、

該半導体装置における所望のドレイン電流値が得られる前記単位 F E T の個数  $p$  を、予め設計しておき、

前記個数  $p$  よりも多い  $m$  個の能動層領域を、基板上に一列に配列するように形

成する工程と、

前記  $m$  個の能動層領域の各領域上に、それぞれ、ゲート電極、ソース電極およびドレイン電極を形成して、 $m$  個の前記単位 F E T の基本構造体を形成する工程と、

前記  $m$  個の基本構造体を、複数の基本構造体で構成される  $x$  個の単位 F E T ブロック毎に分け、

前記基本構造体 1 つ分のドレイン電流値を測定して得られる測定値から前記半導体装置のドレイン電流値を予想して、該予想値と前記所望のドレイン電流値とを比較して、該所望のドレイン電流値が得られる前記単位 F E T ブロックの数  $y$  を決定する工程と、

前記  $x$  個の単位 F E T ブロック上に層間絶縁膜を形成する工程と、

該層間絶縁膜を貫通し、前記ゲート電極の表面の一部を露出する第 1 コンタクトホールと、前記層間絶縁膜を貫通し、前記ソース電極の表面の一部を露出する第 2 コンタクトホールと、前記層間絶縁膜を貫通し、前記ドレイン電極の表面の一部を露出する第 3 コンタクトホールとを同時に形成する工程と、

前記第 1 コンタクトホール内および前記層間絶縁膜上にゲートパッドを前記単位 F E T ブロック毎に形成し、前記第 2 コンタクトホール内および前記層間絶縁膜上にソースパッドを前記単位 F E T ブロック毎に形成し、前記第 3 コンタクトホール内および前記層間絶縁膜上に第 1 ドレインパッドを形成し、かつ前記層間絶縁膜上であって、前記第 1 ドレインパッドとは離間して第 2 ドレインパッドを前記単位 F E T ブロック毎に形成するパッド形成工程と、

前記第 1 ドレインパッドと前記第 2 ドレインパッドとを接続する第 1 パッド間配線を形成し、かつ、 $x$  個のうち、 $y$  個の前記ゲートパッド同士、ソースパッド同士および第 2 ドレインパッド同士をそれぞれ連結する第 2 パッド間配線を形成する工程とを含んでいる、

ただし、 $0 < m$ 、 $0 < x$ 、 $y < m$ 、および  $y < x$  とする、

ことを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 1 0 に記載の半導体装置の製造方法において、前記単位 F E T ブロックの数  $y$  は、



前記予想値を  $I_{dss}$  とし、前記所望のドレイン電流値を  $I_{dss\ design}$  とすると、次式

$$I_{dss} \times n / m \geq I_{dss\ design}$$

を満たす最小の基本構造体の数  $n$  を求めて、

該基本構造体の数  $n$  から決定される数であることを特徴とする半導体装置の製造方法。

【請求項 1 2】 複数の単位 F E T が一列に配列された構造を有する半導体装置を製造するにあたり、

該半導体装置における所望のドレイン電流値が得られる、前記単位 F E T の個数を  $p$  個とし、

該  $p$  個よりも多い、 $m$  個の単位 F E T の基本構造体を形成し、該基本構造体 1 つ分のドレイン電流値を測定して、この測定値から製造後の半導体装置のドレイン電流値を予想し、

前記予想値と前記所望のドレイン電流値とを比較して、該所望のドレイン電流値が得られる基本構造体の個数  $n$  個を決定することを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 2 に記載の半導体装置の製造方法において、前記  $n$  個の基本構造体に対して配線パターンを形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 2 に記載の半導体装置の製造方法において、予め、同様の製造方法を用いて製造された半導体装置の、基本構造体が形成された時点における基本構造体 1 つ分のドレイン電流値と、製造後の半導体装置のドレイン電流値との関係を示した特性図を用意し、

前記測定値を、該特性図に対応させることによって一義的に求められる値を前記予想値とすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置、特にGHz（ギガヘルツ）以上の超高周波帯で動作する電界効果トランジスタを用いた半導体装置の製造方法に関する。

## 【0002】

## 【従来の技術】

従来、GHz（ギガヘルツ）以上の超高周波帯で動作させる電界効果トランジスタ（以下、FETと称する。）を用いた半導体装置は、一般的に、例えば図14に示すような構造を有している。図14は、従来の半導体装置（FETチップ）を上から見たパターン透視図である。半導体装置には、複数の単位FET200が一行に配置されている。

## 【0003】

下地上に形成された能動層202上に、単位FET200が設けられている。この単位FET200は、ソース電極204、ドレイン電極206およびゲート電極208を具えた基本構造体100（図15参照）を含んでいる。ゲート電極208は、電極部208aとゲートフィンガー208bとで構成されている。そして、ソース電極204とドレイン電極206との間にゲートフィンガー208bが配置されている。また、隣接する単位FET200同士は、ソース電極204およびドレイン電極206を共有している。また、ゲートフィンガー208bは、電極部208aと連続しており、電極部208aはゲート電極208上に形成された層間絶縁膜を貫通する第1コンタクトホール210を介して、給電点であるゲートパッド212と接続している。また、ソース電極204は、この上に形成された層間絶縁膜を貫通する第2コンタクトホール214を介してソースパッド216と接続している。また、ドレイン電極206は、この上に形成された層間絶縁膜を貫通する第3コンタクトホール218を介して第1ドレインパッド220に接続されている。さらに、この第1ドレインパッド220は、ゲートパッド212を跨ぐように形成されたエアブリッジ配線222で第2ドレインパッド224と接続している。

## 【0004】

次に、図15を参照して、この半導体装置の製造方法について説明する。図15は、単位FETの基本構造体100が形成されるまでの各主要工程での構造を

示す、概略的な工程図である。

【 0 0 0 5 】

まず、基板 3 0 0 となるウェハを用意する。その後、このウェハ 3 0 0 に対してエピタキシもしくはイオン注入を行って能動層 2 0 2 を形成する。ここでは、能動層 2 0 2 として n 型チャネル層 3 0 2 と  $n^+$ コンタクト層 3 0 4 とを形成する。次に、能動層 2 0 2 の能動領域に  $AuGe/Ni/Au$  の 3 層の金属からなる 2 つのオーミック電極であるソース電極 2 0 4 およびドレイン電極 2 0 6 を形成する (図 1 5 (A))。この後、これらの電極を含む能動層領域上に開口部を有する  $SiO_2$  マスクを設けた後、このマスクを用いて  $n^+$ コンタクト層 3 0 4 の領域をエッチング除去する。これにより、 $n^+$ コンタクト層の残存部分 3 0 4 x から n 型チャネル層 3 0 2 の一部の領域を露出するワイドリセス 3 0 6 を形成する (図 1 5 (B))。この後、さらにワイドリセス 3 0 6 内を含む能動層の上側に  $SiO_2$  膜を形成し、この膜に上記ワイドリセス 3 0 6 よりも開口径の小さい開口部 3 0 8 a を設けて、マスク 3 0 8 を形成する。そして、このマスク 3 0 8 を用いてエッチングを行い、ワイドリセス 3 0 6 内に n 型チャネル層 3 0 2 の一部が除去されたナローリセス 3 1 0 を形成する (図 1 5 (C))。次に、ゲート金属 3 1 2 を全面にスパッタ蒸着し、ナローリセス 3 1 0 内にゲート金属 3 1 2 を埋め込む (図 1 5 (D))。これに続いて、ドライエッチングをもちいてゲート金属 3 1 2 をゲート電極 2 0 8 の形状に加工した後、 $SiO_2$  膜のマスク 3 0 8 を除去する (図 1 5 (E))。これにより、単位 FET の基本構造体 1 0 0 が得られる。

【 0 0 0 6 】

この基本構造体を TEG-FET (Test Element Group-Field Effect Transistor) とし、その特性を測定して、最終的に得られる FET の特性を予想する。その後、オーミック電極 2 0 4, 2 0 6 およびゲート電極 2 0 8 を覆うように層間絶縁膜を形成する。その後、2 つのオーミック電極 2 0 4, 2 0 6 上およびゲート電極 2 0 8 上を露出するように、層間絶縁膜に第 1 ~ 第 3 コンタクトホール 2 1 0, 2 1 4, 2 1 8 を形成する。次に、コンタクトホールを埋めるように第 1 配線を形成する。この第 1 配線の形成工程では、図 1 4 に示すソースパッド 2

1 6、第 1 ドレインパッド 2 2 0、第 2 ドレインパッド 2 2 4 およびゲートパッド 2 1 2 を形成する。

【0 0 0 7】

ソースパッド 2 1 6 の一部は、ソース電極 2 0 4 の表面を露出する第 2 コンタクトホール 2 1 4 を埋め込んでおり、ソース電極 2 0 4 と接続している。また、同様に、第 1 ドレインパッド 2 2 0 の一部は、ドレイン電極 2 0 6 の表面を露出する第 3 コンタクトホール 2 1 8 を埋め込んでおり、ドレイン電極 2 0 6 と接続している。また、ゲートパッド 2 1 2 の一部は、ゲート電極 2 0 8 上を露出する第 1 コンタクトホール 2 1 0 を埋め込んでおり、ゲート電極 2 0 8 と接続している。また、この第 1 配線が形成された構造体を上から平面的に見ると、第 1 ドレインパッド 2 2 0 と第 2 ドレインパッド 2 2 4 とは、ゲートパッド 2 1 2 を挟んで両側に配置されている（図 1 4）。

【0 0 0 8】

第 1 配線の形成後、第 2 配線として、第 1 ドレインパッド 2 2 0 と第 2 ドレインパッド 2 2 4 とを接続するエアブリッジ配線 2 2 2 を形成する。このエアブリッジ配線 2 2 2 は、ゲートパッド 2 1 2 を跨ぐように形成し、第 1 ドレインパッド 2 2 0 と第 2 ドレインパッド 2 2 4 とを接続する（図 1 4）。

【0 0 0 9】

その後、構造体の上面にパッシベーション膜を形成する（図示せず。）。

【0 0 1 0】

以上、説明したような工程を含んで、F E T を用いた半導体装置が形成される。

【0 0 1 1】

【発明が解決しようとする課題】

上述した構造の半導体装置においては、F E T のサイズ、特にゲート幅は、能動領域の幅とゲートフィンガー数で決定される。よって、ゲート幅は、当初に設計される能動領域の形成に用いられるマスクとゲート電極およびゲートフィンガーを形成するためのマスクとの 2 つのマスクのパターンに依存する。このため、F E T の製造中の、例えば能動領域にリセスエッチングを行う工程で、過剰なエ

ッチングが行われると、能動層の厚さが薄くなる。これにより、所望のドレイン電流値が確保できなくなるおそれがある。また、逆にエッチング不足の場合には、能動層が厚く、設定値以上のドレイン電流が流れてしまう。

#### 【 0 0 1 2 】

F E T の基本構造体 1 0 0 ( T E G - F E T ) が形成された時点で、この T E G - F E T の特性を測定した結果、T E G - F E T のしきい値電圧が所望の範囲内の値であるのにも関わらず、上述した理由によりドレイン電流値に過不足が生じていることが判明しても、その後の工程でこの過不足を補うことはできない。このため、F E T として所望の出力特性が得られなくなるというおそれがある。また、出力特性の低い F E T は不良品となるため、ウェハロットの歩留りの低下につながるおそれもある。

#### 【 0 0 1 3 】

このため、T E G - F E T の特性測定後に、特性の劣化を改善することが可能な半導体装置の製造方法の出現が望まれていた。

#### 【 0 0 1 4 】

##### 【課題を解決するための手段】

このため、この発明では、複数の単位 F E T が一列に配列された構造を有する半導体装置を製造するにあたり、まず、所望のドレイン電流値が得られる単位 F E T の個数を、予め設計しておく。例えば、この個数を  $p$  とする。次に、 $p$  個よりも多い  $m$  個の単位 F E T の基本構造体を形成し、この基本構造体 1 つ分のドレイン電流値を測定して、この測定値から製造後の半導体装置のドレイン電流値を予想する。その後、予想値と所望のドレイン電流値とを比較して、所望のドレイン電流値が得られる半導体の個数  $n$  を決定する。

#### 【 0 0 1 5 】

ここで、基本構造体を、能動層領域上にソース電極、ドレイン電極およびゲート電極が形成された、配線前の素子とする。まず、 $p$  個よりも多い  $m$  個の基本構造体を形成しておけば、製造される半導体装置のドレイン電流値に不足が生じることはない。そして、基本構造体が形成された時点で、基本構造体 1 つ分のドレイン電流値から最終的に得られる半導体装置のドレイン電流値を予想すると、こ

○  
の値は、所望の値よりも必ず大きくなる。よって、予想値と所望の値との差に相当する基本構造体の数を求めて、所望の値を満たす、最も小さいドレイン電流値が得られるような基本構造体の数  $n$  を決定することができる。このため、基本構造体が形成されるまでの工程中に何らかの狂いが生じて、基本構造体の数を調整しなおすことによって、最終的に得られる半導体装置のドレイン電流値が所望の値となるようにすることができる。したがって、その後行われる基本構造体上への配線工程は、 $n$  個の基本構造体上に配線パターンを形成すればよい。これにより、所望のドレイン電流値が得られる半導体装置を歩留り良く製造することができる。

## 【 0 0 1 6 】

また、1つの基本構造体のドレイン電流値を測定して、この測定値から半導体装置のドレイン電流値を予想するが、この予想値は、予め、同様の製造方法を用いて製造された半導体装置の、基本構造体が形成された時点における基本構造体1つ分のドレイン電流値と、製造後の半導体装置のドレイン電流値との関係を示した特性図を用意し、測定したドレイン電流値を、この特性図に対応させることによって一義的に求められる値である。

## 【 0 0 1 7 】

また、この半導体装置の製造方法において、より具体的には次の工程を含んでいるのがよい。

## 【 0 0 1 8 】

(1) 設計された単位 F E T の数よりも多い  $m$  個の能動層領域を、基板上に一列に配列するように形成する工程。

## 【 0 0 1 9 】

(2)  $m$  個の能動層領域の各領域上に、それぞれ、ゲート電極、ソース電極およびドレイン電極を形成して、 $m$  個の単位 F E T の基本構造体を形成する工程。

## 【 0 0 2 0 】

(3) この基本構造体1つ分のドレイン電流値を測定して得られる測定値から半導体装置の特性のドレイン電流値を予想して、この予想値と所望のドレイン電流値とを比較して、所望のドレイン電流値が得られる基本構造体の数  $n$  を決定す

る工程。

【0 0 2 1】

(4) 基本構造体上に層間絶縁膜を形成する工程。

【0 0 2 2】

(5) この層間絶縁膜を貫通し、ゲート電極の表面の一部を露出する第1コンタクトホールと、層間絶縁膜を貫通し、ソース電極の表面の一部を露出する第2コンタクトホールと、層間絶縁膜を貫通し、ドレイン電極の表面の一部を露出する第3コンタクトホールとを同時に形成する工程。

【0 0 2 3】

そして、上記(5)工程である第1～第3コンタクトホールの形成を、層間絶縁膜の $n$ 個の基本構造体上の領域に対してのみ行う。ただし、 $m \geq n$ とし、 $m, n > 0$ である。

【0 0 2 4】

単位FETの基本構造体を形成した時点で、この基本構造体をTEG-FETとして用いて、ドレイン電流値を測定すると、基本構造体の数 $m$ は、予め設計した単位FETの数よりも多いために所望のドレイン電流値よりも高い値が得られる。予め設計された数と同じ数の基本構造体を形成した場合、基本構造体を形成するいくつかの工程中に何らかの狂いが生じて、得られる基本構造体のドレイン電流値に不足が生じると、その後の工程でこの不足を補うことは出来ず、この結果FETとして製品化することはできなくなる。これに対して、上述したように、基本構造体の数を設計した数よりも多くしておけば、基本構造体のドレイン電流値に不足が生じるおそれはない。そして、この発明の製造方法では、基本構造体1つ分のドレイン電流値から予想される半導体装置のドレイン電流値は所望の値よりも高くなるが、この値は、この後の工程で所望の値になるように調整することができる。ドレイン電流の予想値と所望の値との差のドレイン電流分に相当する基本構造体の数を求めて、製造中の構造体における必要な基本構造体数 $n$ が決定される。よって、基本構造体上に層間絶縁膜を形成した後、第1～第3コンタクトホールを層間絶縁膜に各基本構造体の一部が露出するように形成する工程((5)工程)を、決定された $n$ 個の基本構造体上の層間絶縁膜の領域に対して

のみ行う。これにより、 $n$  個以外の基本構造体は、製造される半導体装置中で動作する素子ではなくなる。よって、所望のドレイン特性が得られる半導体装置を歩留り良く製造することができる。

## 【 0 0 2 5 】

また、層間絶縁膜の  $n$  個の基本構造体に対応する領域への、第 1、第 2 および第 3 コンタクトホール形成、すなわち上記 (5) 工程は、さらに、以下の工程を含んで行われるのが好ましい。

## 【 0 0 2 6 】

(5-1) 層間絶縁膜上にレジスト膜を形成する工程。

## 【 0 0 2 7 】

(5-2) 基本構造体 1 つ分の層間絶縁膜の領域に形成される第 1 ~ 第 3 コンタクトホールに対応するコンタクトホール形成用窓が設けられたマスクを用いて、レジスト膜に対して露光および現像処理する工程。

## 【 0 0 2 8 】

そして、この (5-2) 工程を、マスクの位置を基本構造体 1 つ分ずつ移動させて行う。これにより、 $n$  個のコンタクトホールパターンを有するレジストパターンを形成する。

## 【 0 0 2 9 】

(5-3) (5-2) 工程を  $n$  回繰り返すことにより形成されたレジストパターンを用いて、層間絶縁膜をエッチング処理する工程。

## 【 0 0 3 0 】

これにより、第 1 ~ 第 3 のコンタクトホールを、 $n$  個の基本構造体に対応する数だけ形成することができる。また、所望のドレイン電流値が異なり、必要な基本構造体の数  $n$  が変動しても、上述したマスクは、基本構造体 1 つ分に対応したマスクであるため、その数に応じてフレキシブルに対応させることができる。

## 【 0 0 3 1 】

また、複数の単位 FET が一列に配列された構造を有する半導体装置を製造するもう 1 つの方法として、上記で説明したと同様に、

(1) 基板上に  $m$  個の能動層領域を形成する工程。



【0032】

(2) m個の能動層領域上にゲート電極、ソース電極およびドレイン電極を形成して、単位FETの基本構造体を形成する工程。

【0033】

(3) 所望のドレイン電流値が得られる基本構造体の数nを決定する工程。

【0034】

(4) 基本構造体上に層間絶縁膜を形成する工程。

【0035】

(5) 層間絶縁膜に、m個の基本構造体に対応する第1～第3のコンタクトホールを形成する工程。

【0036】

上記5つの工程を含み、さらに、

(6) 第1コンタクトホール内および層間絶縁膜上にゲートパッドを形成し、第2コンタクトホール内および層間絶縁膜上にソースパッドを形成し、第3コンタクトホール内および層間絶縁膜上に第1ドレインパッドを形成し、かつ層間絶縁膜上であって、第1ドレインパッドとは離間して第2ドレインパッドを形成するパッド形成工程。

【0037】

(7) 第1ドレインパッドと第2ドレインパッドとを接続するエアブリッジ配線を形成する工程。

【0038】

上記2つの工程を含んでいる。そして、上記(6)工程であるパッド形成工程は、層間絶縁膜のn個の基本構造体上の領域に対して行う。ただし $n \leq m$ とし、 $0 < m$ , nとする。

【0039】

第1のコンタクトホールは、ゲート電極の一部を露出しているため、この第1コンタクトホール内および層間絶縁膜上に形成するゲートパッドは、ゲート電極に電氣的に接続される。また、第2コンタクトホールは、ソース電極の一部を露出しているため、この第2コンタクトホール内および層間絶縁膜上に形成するソ

ースパッドはソース電極に電氣的に接続される。また、第3コンタクトホールは、ドレイン電極の一部を露出しているため、この第3コンタクトホール内および層間絶縁膜上に形成する第1ドレインパッドはドレイン電極に電氣的に接続される。よって、 $n$ 個以外の基本構造体上の層間絶縁膜に形成されたコンタクトホールには、ゲートパッド、ソースパッドおよび第1ドレインパッドの構成材料が埋め込まれないので、これらのパッドとゲート電極、ソース電極およびドレイン電極とがそれぞれ電氣的に接続されることはない。したがって、製造される半導体装置においては、 $n$ 個の単位FETだけが実効的なFETとなる。よって、所望のドレイン電流値を得ることができる。なお、ドレイン電極と接続するドレインパッドは、層間絶縁膜上のその後の配線を考慮した物理的な位置関係の問題から、第1ドレインパッドと第2ドレインパッドとの2つで構成し、これらの間をエアブリッジ配線で接続している。このドレインパッドが1つのパッドとして層間絶縁膜上にうまく配置することができれば、ゲートパッドまたはソースパッドと同様に1つのドレインパッドとして構成してもよい。また、第1ドレインパッドと第2ドレインパッドとはエアブリッジ配線で接続しているが、層間絶縁膜上に通常の配線で接続することも可能である。FETの性能面から見ると、エアブリッジ配線を用いた方が好ましい。

【0040】

また、上記パッド形成工程（（6）工程）は、さらに以下の工程を含んでいるのが好ましい。

【0041】

（6-1）層間絶縁膜上にレジスト膜を形成する工程。

【0042】

（6-2）ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドのパターンを有するパッドパターンマスクと、 $n$ 個以外の基本構造体上のパッド形成予定領域を囲む形状のパターンを有するパッド消去用マスクとを用いて、レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する工程。

【0043】

(6-3) このパッド形成用レジストパターンを用いて、リフトオフ法によって、ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドを形成する工程。

【0044】

パッドパターンマスクを用いて、レジスト膜を露光すると、レジスト膜には、 $m$ 個の基本構造体に相当する領域のパターン潜像が形成される。そして、このレジスト膜にパッド消去用マスクを用いて露光を行うと、 $n$ 個の基本構造体以外の基本構造体、すなわち不要となる基本構造体に相当するレジスト膜の領域は、現像後に残存する領域となる。よって、レジスト膜として、ネガ型レジストを用いた場合には、パッド消去用マスクは、 $n$ 個以外の基本構造体上のパッド形成領域を囲む形状の窓を有する。また、ポジ型レジストを用いた場合には、 $n$ 個以外の基本構造体上のパッド形成領域を囲む形状が被覆部分となるようなパターンを有するマスクを用いる。これにより、得られるパッド形成用レジストパターンは、 $n$ 個の基本構造体上の層間絶縁膜の領域のみにパッドを形成することのできる、リフトオフ用のマスクとなる。この後、このマスクを用いてパッド構成材料を蒸着すると、 $n$ 個の基本構造体上の層間絶縁膜に形成された第1～第3コンタクトホールを埋め込み、かつゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドがそれぞれ形成される。したがって、不要な基本構造体と、ゲートパッド、ソースパッドおよび第1ドレインパッドとは電氣的に接続されることはないため、製造される半導体装置において、実効的な単位FETは $n$ 個となる。これにより、所望のドレイン電流値が得られる。

【0045】

また、上述したレジスト膜の露光は、パッドパターンマスクを用いた第1露光と、パッド消去用マスクを用いた第2露光との、2段階の露光によって行う。これにより、実効的な $n$ 個の基本構造体上に、これらの構造体と電氣的に接続する各パッドを形成することができる。また、この第1露光と第2露光とは、どちらを先に行ってもパッド形成用レジストパターンを得ることができる。

【0046】

また、パッドを形成する工程((6)工程)は、以下のような工程を含んでい

てもよい。

【0047】

(6-①) 層間絶縁膜上にレジスト膜を形成する工程。

【0048】

(6-②) ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドのパターンを有するパッドパターンマスクと、 $n$ 個の基本構造体上の領域と $n$ 個以外の基本構造体上の領域とを分断するスリットパターンマスクとを用いて、レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する工程。

【0049】

(6-③) このパッド形成用レジストパターンを用いて、リフトオフ法によってゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドを形成する工程。

【0050】

パッドパターンマスクを用いて、レジスト膜を露光すると、レジスト膜には $m$ 個の基本構造体に相当する領域のパターン潜像が形成される。また、このレジスト膜にスリットパターンマスクを用いて、スリットパターンの潜像が $n$ 個の基本構造体上の領域と $n$ 個以外の基本構造体上の領域との間に位置するように位置合わせをして、露光を行うと、現像後に得られるレジストパターンは、パッドパターンを $n$ 個の基本構造体上を覆うパッドパターンと $n$ 個以外の基本構造体上を覆うパッドパターンとに分断する構造を有している。レジスト膜としてネガ型レジストを用いた場合には、スリットパターンマスクは分断する部分が窓となるマスクとする。また、レジスト膜としてポジ型レジストを用いた場合には、スリットパターンマスクは、分断する部分が被覆部分となるマスクとする。これにより得られるパッド形成用レジストパターンは、 $n$ 個の基本構造体上の層間絶縁膜の領域に各パッドを形成するマスクと、 $n$ 個以外の基本構造体上の層間絶縁膜の領域に各パッドを形成するマスクとの2つのマスクとなる。この後、このマスクを用いてパッド構成材料を蒸着すると、 $n$ 個の基本構造体上の層間絶縁膜に形成された第1～第3コンタクトホールを埋め込み、かつゲートパッド、ソースパッド、

第1ドレインパッドおよび第2ドレインパッドがそれぞれ形成される。また、 $n$ 個以外の不要な基本構造体上にも、層間絶縁膜に形成されたコンタクトホールを埋め込み、これと連続する各パッドがそれぞれ形成される。しかしながら、 $n$ 個の基本構造体の領域と、不要な基本構造体の領域とは電氣的に接続されないため、製造される半導体装置において、 $n$ 個からなる単位FETを実効的に動作させることができる。よって、所望のドレイン電流値が得られる。また、不要な単位FETに対しても、そのゲートパッド、ソースパッドおよびドレインパッドに電圧を印加すれば、FETとして動作させることができる。これにより、単位FETの数の調整を、所望のドレイン電流値を得るために行うのではなく、分断位置を選択したり、複数箇所を分断したりすることによって、1つのFETチップ内でのFET特性のゲート幅依存性を調べることが可能となる。

## 【0051】

また、上述したレジスト膜の露光は、パッドパターンマスクを用いた第1露光と、スリットパターンマスクを用いた第2露光との、2段階の露光によって行う。これにより、実効的な $n$ 個の基本構造体上に、これらの構造体と電氣的に接続する各パッドを形成することができ、不要な基本構造体上にも上記 $n$ 個の基本構造体上に形成されるパッドとは電氣的に分断された状態で、各パッドを形成することができる。また、第1露光と第2露光とは、どちらを先に行ってもよい。

## 【0052】

また、複数の単位FETが一行に配列された構造を有する半導体装置を製造する上記2つの方法とは異なる方法として、以下の工程を含むことを特徴とする。

## 【0053】

まず、上記2つの方法の(1)および(2)工程と同様にして、基板上に形成した $m$ 個の能動層領域上に単位FETの基本構造体を形成する。この後、

(III)  $m$ 個の基本構造体を、複数の基本構造体で構成される $x$ 個の単位FETブロック毎に分け、所望のドレイン電流値が得られる単位FETブロックの数 $y$ を決定する工程。

## 【0054】

(IV)  $x$ 個の単位FETブロック上に層間絶縁膜を形成する工程。

【0055】

(V) 層間絶縁膜に、 $m$ 個の基本構造体に対応する第1～第3コンタクトホールを形成する工程。

【0056】

(VI) 第1コンタクトホール内および層間絶縁膜上にゲートパッドを単位FETブロック毎に形成し、第2コンタクトホール内および層間絶縁膜上にソースパッドを単位FETブロック毎に形成し、第3コンタクトホール内および層間絶縁膜上に第1ドレインパッドを形成し、かつ層間絶縁膜上であって、第1ドレインパッドとは離間して第2ドレインパッドを単位FETブロック毎に形成するパッド形成工程。

【0057】

(VII) 第1ドレインパッドと第2ドレインパッドとを接続する第1パッド間配線を形成し、かつ $x$ 個の内、 $y$ 個のゲートパッド同士、ソースパッド同士および第2ドレインパッド同士をそれぞれ連結する第2パッド間配線を形成する工程。

【0058】

ただし、上記 $m$ 、 $x$ 、 $y$ は、 $0 < m$ 、 $0 < x$ 、 $y < m$ 、および $y < x$ とする。

【0059】

これにより、少なくとも2つの単位FETを有する単位FETブロックが $x$ 個形成される。そして、 $x$ 個のうちの $y$ 個の単位FETブロック同士が第2パッド間配線によって電氣的に接続されているため、製造される半導体装置において、これら $y$ 個の単位FETブロック中の各FETを、実効的に動作させることができる。また、 $x$ 個のうちの不要となった単位FETブロックにも、ゲートパッド、ソースパッドおよびドレインパッドが形成されているため、これらのパッドに電圧を印加することによって、FETとして動作させることができる。よって、単位FETブロックの数の調整を、所望のドレイン電流値を得るために行うのではなく、この調整法を用いて電氣的に接続されるブロック数が異なるものをいくつか形成することによって、1つのFETチップ内でのFET特性のゲート幅依存性を調べることが可能となる。

## 【0060】

また、 $x$ 個のうちの $y$ 個の単位FETブロック同士を第2パッド間配線によって電氣的に接続させる工程は、各パッドを単位FETブロック毎に形成した後、この構造体上にレジスト膜を形成する。その後、第1パッド間配線パターン形状および第2パッド間配線パターン形状を有するマスクを用いた露光と、 $y$ 個の単位FETブロック以外の単位FETブロック間の第2パッド間配線を消去するパターンを有するマスクを用いた露光との2段階の露光を行った後、現像してレジストパターンを形成する。この後、レジストパターン上に配線材料を蒸着した後、レジストパターンを除去する。これにより、 $y$ 個の単位FETブロックの各パッド同士を接続させることができる。また、第1ドレインパッドと第2ドレインパッドとの第1パッド間配線が形成される。なお、第1パッド間配線はエアブリッジ配線としてもよい。この場合、例えばレジストパターンを第1ドレインパッドと第2ドレインパッドとの間に形成してこれを枕とする。次に、第1ドレインパッドと第2ドレインパッドとを上記枕の上面を介して配線材料を形成する。この後、上記レジストパターンを除去することによって、第1ドレインパッドと第2ドレインパッドとの間を、第1パッド間配線によって、第1および第2ドレインパッド間にある他の領域に接触することなく橋渡しすることができる。

## 【0061】

## 【発明の実施の形態】

以下、図を参照してこの発明の実施の形態につき説明する。なお、各図は発明を理解できる程度に各構成成分の形状、大きさおよび配置関係を概略的に示してあるに過ぎず、したがってこの発明を図示例に限定するものではない。また、平面図の一部の領域について、強調させて分かり易く示すためにその領域にハッチング（斜線）を付して示している。

## 【0062】

## ＜第1の実施の形態＞

第1の実施の形態として、図1～5および図15を参照して、この発明の半導体装置の製造方法の好適な一例について、GaAsリセスゲートFETを例に挙げて説明する。図1は、第1の実施の形態の半導体装置（FETチップ）を上か

ら見たパターン透視図である。図 2 は、T E G - F E T のドレイン電流値と製造される半導体装置のドレイン電流値との関係を示す特性図である。図 3 (A) ~ 図 4 (B) は、半導体装置の製造工程を示す部分的な平面図である。図 5 (A) は、露光に用いるマスクの概略図であり、図 5 (B) は、マスクの一部拡大図である。

## 【 0 0 6 3 】

まず、設計された単位 F E T の数よりも多い  $m$  個の能動層領域を、基板上に一列に配列するように形成する。

## 【 0 0 6 4 】

ここでは、従来と同様にして、半絶縁性 G a A s 基板 3 0 0 上に  $n$  型チャネル層 3 0 2 と  $n^+$  コンタクト層 3 0 4 を含む能動層 2 0 2 を、例えばエピタキシャル法により形成する (図 1 5 (A) 参照)。この後、能動層 2 0 2 上に  $m$  個の領域を被覆するレジストパターンを形成した後、レジストパターンから露出している能動層の領域をエッチングによって除去する。その後レジストパターンを除去することによって、 $m$  個の能動層領域 1 0 を形成することができる (図 1)。

## 【 0 0 6 5 】

次に、 $m$  個の能動層領域 1 0 の各領域の上側に、それぞれゲート電極 1 6、ソース電極 1 2 およびドレイン電極 1 4 を形成して、 $m$  個の単位 F E T の基本構造体 1 0 0 を形成する。

## 【 0 0 6 6 】

そのため、ここでは、従来と同様にして、能動層領域 1 0 の各領域上に、まず、A u G e / N i / A u で構成された電極材料を用いてソース電極 1 2 (2 0 4) およびドレイン電極 1 4 (2 0 6) を形成する (図 1 5 (A) 参照)。この後、これらの電極 1 2 (2 0 4) および 1 4 (2 0 6) を含む能動層領域 1 0 上に開口部を有する  $S i O_2$  マスクを設けた後、このマスクを用いて  $n^+$  コンタクト層 3 0 4 の領域をエッチング除去する。これにより、 $n$  型チャネル層 3 0 2 の領域を露出するワイドリセス 3 0 6 を形成する (図 1 5 (B) 参照)。この後、さらにワイドリセス 3 0 6 内を含む能動層領域 1 0 上に  $S i O_2$  膜を形成し、この膜に上記ワイドリセス 3 0 6 よりも開口径の小さい開口部 3 0 8 a を設けて、マス



ク 308 を形成する。そして、このマスク 308 を用いてエッチングを行い、ワイドリセス 306 内に n 型チャネル層 302 の一部が除去されたナローリセス 310 を形成する（図 15（C）参照）。次に、ゲート金属 312 を全面にスパッタ蒸着し、ナローリセス 310 内にゲート金属 312 を埋め込む（図 15（D）参照）。これに続いて、ドライエッチングをもちいてゲート金属 312 を所望の形状に加工した後、 $\text{SiO}_2$  膜のマスク 308 を除去する。これにより、m 個の単位 FET の基本構造体 100 が得られる（図 15（E）参照）。この時点での構造体を上から見た平面図を図 3 に示す。図 3（A）には、隣接する 2 つの基本構造体 100（102 および 104）が示されている。図 3（A）に示した基本構造体 102 および 104 は、それぞれ、能動層領域 10、ソース電極 12、ドレイン電極 14、ゲート電極 16 とを具えている。そして、ゲート電極 16 は、電極部 16a とゲートフィンガー 16b とで構成されている。

## 【0067】

次に、この基本構造体 1 つ分のドレイン電流値を測定して得られる測定値から半導体装置のドレイン電流値を予想して、この予想値と所望のドレイン電流値とを比較して、所望のドレイン電流値が得られる基本構造体の数 n を決定する。

## 【0068】

このため、ここでは、上述した m 個の基本構造体 100 のうちの 1 つの基本構造体を TEG-FET として、この TEG-FET のドレイン電流値を測定する。

## 【0069】

まず、TEG-FET のドレイン電流値と製造された半導体装置の FET のドレイン電流値との相関関係を示す図 2 を用意する。この TEG-FET のドレイン電流と製造後の FET 装置（半導体装置）のドレイン電流との相関関係は、同様の工程で製造された同じ構造を有する半導体装置の、基本構造体の製造時点でのドレイン電流値と、製造後のドレイン電流値とを測定しておき、これらの値から求めておく。図 2 中の直線が、この実施の形態と同様の構造および同様の工程を経て製造された半導体装置の TEG-FET のドレイン電流値と、最終的に得られる半導体装置のドレイン電流値との関係を示す直線である。ここで、上記の

工程を経て形成された TEG-FET のドレイン電流値が例えば  $I_{dssTEG}$  である場合、図 2 の直線とその値 ( $I_{dssTEG}$ ) とを対応させて、製造される半導体装置のドレイン電流値が  $I_{dss}$  と読みとって予想する。また、半導体装置のドレイン電流値の所望の値を  $I_{dss\ design}$  とする。そして、ドレイン電流値は、FET のゲート幅に依存する値である。半導体装置のゲート幅の総計は、単位 FET 1 つのゲート幅  $\times$  単位 FET 数であるから、次式

$$I_{dss} \times n / m \geq I_{dss\ design} \quad (m, n > 0, m \geq n)$$

を満足する最小の単位 FET 数  $n$  を求めることができる。

【0070】

次に、基本構造体 100 上に層間絶縁膜を形成する (図示せず。 )。

【0071】

ここでは、基板の上側全面に層間絶縁膜を形成する。

【0072】

次に、層間絶縁膜を貫通し、ゲート電極の表面の一部を露出する第 1 コンタクトホールと、層間絶縁膜を貫通し、ソース電極の表面の一部を露出する第 2 コンタクトホールと、層間絶縁膜を貫通し、ドレイン電極の表面の一部を露出する第 3 コンタクトホールとを同時に形成する。ただし、この第 1 ~ 第 3 コンタクトホールの形成は、層間絶縁膜の上記決定された  $n$  個の基本構造体上の領域に対してのみ行う。

【0073】

ここでは、まず、層間絶縁膜上にレジスト膜を形成する。この後、基本構造体 1 つ分の層間絶縁膜の領域に形成される第 1 ~ 第 3 コンタクトホールに対応する窓パターンが設けられたマスクを用いて、レジスト膜に対して露光および現像処理する。図 5 にコンタクトホール露光用のマスク (レチクル) の一例を示す。図 5 (A) は、マスクの概略的な構成図で、図 5 (B) は、マスクの一部拡大図である。図 5 (A) によれば、マスク 30 は、 $m$  個の基本構造体 100 上の領域を 4 つ同時に露光処理することができる大きさおよび構成とする。レチクルフレーム 32 内に、 $m$  個の基本構造体 100 上のレジスト膜を露光処理する露光領域 34 が 4 つ設けられている。この 4 つの領域 34 のそれぞれには、基本構造体 10

0のうちの、1つの基本構造体上のレジスト膜の部分に対して第1～第3コンタクトホールを形成するための窓パターン36が形成されている(図5(B))。そして、窓パターン36として、第1コンタクトホール用窓パターン36a、第2コンタクトホール用窓パターン36b、第3コンタクトホール用窓パターン36cが形成されている。このマスク30を用いて、まず、最も端に位置する1つの基本構造体102上のレジスト膜の領域を露光処理する。そして、x軸方向に隣接する基本構造体104との間隔をdとすると、マスクのパターンがx軸方向にdだけ移動させた位置にくるように構造体の位置をずらす。この後、2回目の露光を行ってm個のうちの2番目の基本構造体104上のレジスト膜の領域にコンタクトホールのパターン潜像を形成する。同様に、3番目の基本構造体上のレジスト膜の領域にもコンタクトホールパターン潜像を形成し、この工程をn回繰り返すことによってn個の基本構造体上のレジスト膜の領域にそれぞれ、第1～第3コンタクトホールパターン潜像を形成する。この後、現像処理を行って、レジストパターンを形成する。その後、このレジストパターンをマスクとして用いて層間絶縁膜に対して、例えばRIE等によって第1～第3コンタクトホール20a、20b、20cの形成を行う。その後、レジストパターンを除去する(図3(B)、図1)。

## 【0074】

この後、従来と同様に、第1～第3コンタクトホール20a～20cを埋めるように第1配線22、24、26a、26bを形成する。これにより、第1コンタクトホール20aを埋め込み、ゲート電極16と電氣的に接続するゲートパッド22が形成される。また、第2コンタクトホール20bを埋め込み、ソース電極12と電氣的に接続するソースパッド24が形成される。また、第3コンタクトホール20cを埋め込み、ドレイン電極14と電氣的に接続する第1ドレインパッド26aが形成される。さらに、第1ドレインパッド26aとゲートパッド22を挟んで離間した位置に第2ドレインパッド26bが形成される(図4(A)、図1)。

## 【0075】

その後、従来と同様に、第2配線28として、第1ドレインパッド26aと第

2ドレインパッド26bとを接続するエアブリッジ配線28を形成する(図4(B)、図1)。その後、構造体の上面にパッシベーション膜を形成した後、このパッシベーション膜に、ゲートパッド22、ソースパッド24、第2ドレインパッド26bに接続するためホールを、それぞれ形成する。このホールは、実装時の配線の際に用いられる(図示せず。)

## 【0076】

この結果、m個形成された単位FETの基本構造体のうち、m-n個の単位FETの基本構造体の領域45上にはコンタクトホール20a~20cが形成されないため、各パッド22、24、26bおよび他の単位FET42とは電氣的に接続しない。これにより図1に示すようなn個の単位FET42が実効的に働く半導体装置40が得られる。これにより、所望のドレイン電流値が得られる。また、単位FETの基本構造体は、予め設定した単位FETの数よりも多く製造しているため、基本構造体を製造するいくつかの工程中に何らかの問題が生じたとしても、TEG-FETとしての基本構造体1つ分のドレイン電流値から予想される半導体装置のドレイン電流値は、所望のドレイン電流値よりも高い値となる。よって、その後の工程で所望のドレイン電流値が得られるように調整することが可能となる。この調整の方法として、この実施の形態では、所望のドレイン電流値が得られる基本構造体n個分だけが実効的に動作する単位FET42となるようにする。すなわち、基本構造体上に設ける層間絶縁膜の、n個分の基本構造体上の領域だけにコンタクトホールを形成する。これにより、製造される半導体装置40において、n個の単位FET42を選択的に動作させ、所望のドレイン電流値を得ることができる。

## 【0077】

## &lt;第2の実施の形態&gt;

第2の実施の形態として、図6~図8を参照して、この発明の半導体装置の製造方法の別の好適例について説明する。図6は、第2の実施の形態の半導体装置(FETチップ)を上から見たパターン透視図である。図7は、パッドパターンマスクの構成を示す平面図である。図8は、パッド消去用マスクの構成を示す平面図である。

## 【0078】

以下、第1の実施の形態と相違する点につき説明し、第1の実施の形態と同様の点についてはその詳細な説明を省略する。

## 【0079】

まず、第1の実施の形態と同様にして、 $m$ 個の能動層領域10を、基板上に一列に配列するように形成した後、この $m$ 個の能動層領域10の各領域上に、それぞれゲート電極16、ソース電極12およびドレイン電極14を形成する。これにより、第1の実施の形態と同様の $m$ 個の単位FETの基本構造体100が形成される。

## 【0080】

次に、第1の実施の形態と同様にして、基本構造体100のうちの1つの基本構造体をTEG-FETとして、このドレイン電流値を測定する。得られる値( $I_{dss\ TEG}$ )を、図2の直線に当てはめて、製造される半導体装置のドレイン電流値( $I_{dss}$ )を予測する。この値( $I_{dss}$ )と所望のドレイン電流値( $I_{dss\ design}$ )とから、次式

$$I_{dss} \times n / m \geq I_{dss\ design} \quad (m, n > 0, m \geq n)$$

を満足する最小の単位FET数 $n$ を求める。

## 【0081】

次に、基本構造体100上に層間絶縁膜を形成する。

## 【0082】

次いで、この実施の形態では、従来と同様に、層間絶縁膜を貫通する第1～第3コンタクトホール46a～46cを $m$ 個の基本構造体100上の層間絶縁膜の領域に対して形成する。

## 【0083】

次に、第1コンタクトホール46a内および層間絶縁膜上にゲートパッド48を形成し、第2コンタクトホール46b内および層間絶縁膜上にソースパッド50を形成し、第3コンタクトホール46c内および層間絶縁膜上に第1ドレインパッド52を形成し、かつ層間絶縁膜上であって、第1ドレインパッド52とは離間して第2ドレインパッド54を形成する。ただし、この各パッドの形成工程

は、上記求められた  $n$  個の基本構造体上の領域に対してのみ行う。

## 【0084】

まず、層間絶縁膜上にレジスト膜を形成する。この例では、例えば、ネガ型レジストで以てレジスト膜を形成する。

## 【0085】

次に、ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドのパターンを有するパッドパターンマスクと、 $n$ 個以外の基本構造体上のパッド形成予定領域を囲む形状のパターンを有するパッド消去用マスクとを用いて、レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する。

## 【0086】

図7にパッドパターンマスク（レチクル）56の一部の形状を上から見た平面図で示す。図7（A）のマスク56は、 $m$ 個の基本構造体100上の領域を、4つ同時に露光処理することができる大きさおよび構成とする。レチクルフレーム58内に、露光領域60が4つ設けられている。この4つの領域60のうちのそれぞれには、 $m$ 個の基本構造体100上に設けられる各パッドの形成用の島パターン62が形成されている。なお、この島パターン62を図7（B）に示す。島パターン62は、ゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドに対応する形状を有している。また、図8にパッド消去用マスク64の構成を示す。このマスク64は、単位FET1個分の能動層領域の上側が露出する大きさおよび形状の窓66を有している（図8（A）および図8（B））。マスク64は、レチクルフレーム68内に4つの露光領域70を備え、領域70のそれぞれは、 $m$ 個の基本構造体100上の領域に対して露光を行うことが出来る大きさおよび形状を有している（図8（A））。図8（B）には、図7のパッドパターンマスク56の島パターン62の形状を、点線で示してある。この島パターン62と窓66とを合わせてみると、パッド消去用のマスク64の窓66は、単位FET1個分の各パッドの形成予定領域上に位置している。

## 【0087】

まず、図7のパッドパターンマスク56を用いて、上記レジスト膜を露光する

。これにより、 $m$ 個分のパッドパターンの潜像がレジスト膜に形成される。次に、図 8 のパッド消去用のマスク 6 4 を用いて、レジスト膜を再び露光する。半導体装置において、必要な単位 F E T の数は  $n$  個であるため、不要な  $(m - n)$  個の単位 F E T 分のパッドパターン潜像を消去する。このため、まず、例えば、図 8 のパッド消去用のマスク 6 4 の窓 6 6 が、一番端の基本構造体 1 1 0 上に位置するように、マスク 6 4 の位置合わせをして、露光を行う。 $m - n$  が 1 である場合は、これで露光を終了するが、 $m - n$  が 2 以上である場合には、マスクの位置を隣接する基本構造体 1 1 2 の方向にずらして、さらに露光を行う。例えば、隣接する基本構造体同士の間隔を  $d$  とすると、マスク 6 4 の位置を  $d$  だけずらせばよい。この動作を繰り返して行うことによって、 $m - n$  個の基本構造体の上側のパッドパターン潜像の部分は露光されて現像後に残存する領域となる。この後、現像処理を行うことによって、 $n$  個分の単位 F E T に相当するパッドパターンを有するパッド形成用レジストパターンが得られる。

## 【 0 0 8 8 】

次に、このパッド形成用レジストパターンを用いて、リフトオフ法によってゲートパッド 4 8、ソースパッド 5 0、第 1 ドレインパッド 5 2 および第 2 ドレインパッド 5 4 を形成する。

## 【 0 0 8 9 】

ここでは、パッド形成用レジストパターン上にパッド形成材料として、例えば  $Ti/Pt/Au$  を蒸着させる。この後、パッド形成用レジストパターンを除去することによって、ゲートパッド 4 8、ソースパッド 5 0、第 1 および第 2 ドレインパッド 5 2、5 4 が形成される (図 6)。

## 【 0 0 9 0 】

その後、第 1 の実施の形態と同様にして、第 1 ドレインパッド 5 2 と第 2 ドレインパッド 5 4 とを接続するエアブリッジ配線 2 8 を形成する。その後、構造体の上面にパッシベーション膜を形成した後、このパッシベーション膜に、各パッドに接続させるためのホールを形成する (図示せず。 )。

## 【 0 0 9 1 】

この結果、 $n$  個の単位 F E T が実効的に働く半導体装置が得られる (図 6)。

これにより、所望のドレイン電流値が得られる。また、単位FETの基本構造体は、予め設定した単位FETの数よりも多く製造しているため、基本構造体を製造するいくつかの工程中に何らかの問題が生じたとしても、TEG-FETとしての基本構造体1つ分のドレイン電流値から予想される半導体装置のドレイン電流値は、所望のドレイン電流値よりも高い値となる。よって、その後の工程で所望のドレイン電流値が得られるように調整することが可能となる。この調整の方法として、この実施の形態では、所望のドレイン電流値が得られる基本構造体 $n$ 個分だけが実効的に動作する単位FETとなるようにする。すなわち、 $n$ 個の基本構造体の領域42x上にだけ部分的にゲートパッド48、ソースパッド50およびドレインパッド52, 54を形成する。これにより、 $m-n$ 個の基本構造体の領域44上には、これらのパッドが形成されず、これらのパッドと電氣的に接続しないので、製造された半導体装置内で動作する素子ではなくなる。

【0092】

#### <第3の実施の形態>

第3の実施の形態として、図9および10を参照して、この発明の半導体装置の製造方法であって、第2の実施の形態とは層間絶縁膜上にパッドを形成する工程が異なる例について説明する。以下、第2の実施の形態と相違する点につき説明し、同様の点についてはその詳細な説明を省略する。図9は、第3の実施の形態の半導体装置(FETチップ)を上から見たパターン透視図である。図10は、スリットパターンマスクの構成を示す平面図である。

【0093】

まず、第1および第2の実施の形態と同様にして、 $m$ 個の単位FETの基本構造体100を、基板上に一行に配列するように形成された $m$ 個の能動層領域10上に形成する。

【0094】

次に、基本構造体100のうちの1つをTEG-FETとして、ドレイン電流値( $I_{dss\ TEG}$ )を測定し、第1および第2の実施の形態と同様にして、この値を図2の直線に当てはめて、製造される半導体装置のドレイン電流値( $I_{dss}$ )を予測する。この値と所望のドレイン電流値( $I_{dss\ design}$ )とから、次式



$$I_{dss} \times n / m \geq I_{dss \text{ design}} \quad (m, n > 0, m \geq n)$$

を満足する最小の基本構造体数  $n$  を求める。

【 0 0 9 5 】

次に、基本構造体 1 0 0 上に層間絶縁膜を形成した後、この層間絶縁膜を貫通する第 1 ～ 第 3 コンタクトホール 4 6 a ～ 4 6 c を  $m$  個の基本構造体 1 0 0 上の層間絶縁膜の領域に対して形成する（図 9）。

【 0 0 9 6 】

この後、第 1 コンタクトホール 4 6 a 内および層間絶縁膜上にゲートパッドを形成し、第 2 コンタクトホール 4 6 b 内および層間絶縁膜上にソースパッドを形成し、第 3 コンタクトホール 4 6 c 内および層間絶縁膜上に第 1 ドレインパッドを形成し、かつ層間絶縁膜上であって、第 1 ドレインパッドとは離間して第 2 ドレインパッドを形成する。

【 0 0 9 7 】

このゲートパッド、ソースパッド、第 1 ドレインパッドおよび第 2 ドレインパッドの形成に際し、まず、層間絶縁膜上にレジスト膜を形成する。この例では、レジスト膜の材料として、例えば、ネガ型レジストを用いる。

【 0 0 9 8 】

次に、上記パッド形状に対応する島パターン 6 2 を有するパッドパターンマスク 5 6（図 7 参照）と、 $n$  個の基本構造体の領域 4 2 x と  $n$  個以外（ $m - n$  個）の基本構造体の領域 4 4 とを分断するスリットパターンマスク 7 2（図 1 0）とを用いて、レジスト膜を露光した後、現像して、パッド形成用レジストパターンを形成する。

【 0 0 9 9 】

パッドパターンマスク 5 6 は、この実施の形態では、第 2 の実施の形態で説明した図 7 に示されるマスク 5 6 と同様のマスクとする。また、図 1 0 にスリットパターンマスク 7 2 の構成を示す。図 1 0（B）に点線で示す図 7（B）の島パターン 6 2 の形状と合わせて参照すると、スリット形状の窓 7 4 は、基本構造体上に設けたレジスト膜の島パターン 6 2 を、基本構造体毎に分断する形状を有している（図 1 0（B））。そして、図 1 0（B）では、このスリットパターン 7

4によって、基本構造体110の領域にx軸方向に隣接する基本構造体112の領域とが分断されている。このマスク72もまた、レチクルフレーム76内にm個の基本構造体100を同時に4つ露光できる露光領域78を有している（図10（A））。

#### 【0100】

まず、パッドパターンマスク56を用いて、レジスト膜を露光して、m個分のパッドパターンの潜像をレジスト膜に形成する。この後、図10のスリットパターンマスク72を用いて、レジスト膜を再び露光する。ここでは、m個のうちの一番端の基本構造体上の領域から、不要なm-n個分の単位FETの領域分だけ、マスクのスリットパターン（窓）74の位置をずらして露光を行う。この後、現像処理を行うことによって、n個の基本構造体の領域42xに相当するパッドパターンと、m-n個の基本構造体の領域44に相当するパッドパターンとの間に、スリット形状の残存パターンを有するパッド形成用レジストパターンが得られる。

#### 【0101】

次に、パッド形成用レジストパターンを用いて、リフトオフ法によってゲートパッド、ソースパッド、第1ドレインパッドおよび第2ドレインパッドを形成する。

#### 【0102】

ここでは、第2の実施の形態と同様にして、パッド形成用レジストパターン上にパッド形成材料を蒸着させる。この後、パッド形成用レジストパターンを除去することによって、n個の基本構造体に接続する、共通のゲートパッド48x、ソースパッド50x、および第2ドレインパッド54xが形成される。また、隣接する2つの基本構造体のドレイン電極14上に第1ドレインパッド52xが形成される。また、m-n個分の基本構造体に接続する各パッド48y, 50y, 52y, 54yも形成される。しかしながら、これらのパッドはn個の基本構造体上に設けられる各パッド48x, 50x, 52x, 54xと電氣的に接続されるものではない（図9）。

#### 【0103】

その後、第1ドレインパッド52x(52y)と第2ドレインパッド54x(54y)とを接続するエアブリッジ配線87を形成する。エアブリッジ配線87は、1つのドレイン電極14上に個別に設けられる(図9)。その後、構造体の上面にパッシベーション膜を形成した後、このパッシベーション膜に、各パッドに接続させるためのホールを形成する(図示せず。)

## 【0104】

この結果、n個の単位FETが実効的に働く半導体装置が得られる。よって所望のドレイン電流値が得られる。また、単位FETの基本構造体は、予め設定した単位FETの数よりも多く製造しているため、基本構造体を製造するいくつかの工程中に何らかの問題が生じたとしても、TEG-FETとしての基本構造体1つ分のドレイン電流値から予想される半導体装置のドレイン電流値は、所望のドレイン電流値よりも高い値となる。よって、その後の工程で所望のドレイン電流値が得られるように調整することが可能となる。この調整の方法として、この実施の形態では、所望のドレイン電流値が得られる基本構造体n個分だけが実効的に動作する単位FETとなるようにする。すなわち、スリットによって、共通するゲートパッド、ソースパッドおよびドレインパッドが、n個分の基本構造体と電気的に接続する共通のパッド48x, 50x, 52x, 54xと、m-n個分の基本構造体と接続するパッド48y, 50y, 52y, 54yとに分断された状態で形成される。これにより、n個の単位FETを実効的に動作する半導体装置が得られる。また、m-n個の単位FETもまた、これらの上に形成されたパッド48y, 50y, 52y, 54yに電圧を印加することによってFETとして動作させることができる。

## 【0105】

## &lt;第4の実施の形態&gt;

第4の実施の形態として、図11～図13を参照して、この発明の半導体装置の製造方法であって、第1～第3の実施の形態とは異なる好適例につき説明する。図11は、この実施の形態の半導体装置(FETチップ)を上から見たパターン透視図である。図12は、第1パッド間配線および第2パッド間配線の形成中、露光に用られるマスクの構成図である。図13は、一部の第2パッド間配線を

消去するためのマスクの構成図である。

【0 1 0 6】

以下、第1～第3の実施の形態と異なる点につき説明し、同様の点についてはその詳細な説明を省略する。

【0 1 0 7】

まず、第1～第3の実施の形態と同様に、基板上に、 $m$ 個の能動層領域を設けた後、この上に単位FETの基本構造体を形成する。

【0 1 0 8】

次に、 $m$ 個の基本構造体を、複数の基本構造体で構成される $x$ 個の単位FETブロック毎に分け、所望のドレイン電流値が得られる単位FETブロックの数 $y$ を決定する。

【0 1 0 9】

この例では、 $m$ 個の基本構造体100を、4つの基本構造体からなる $x$ 個( $m/4$ )の単位FETブロック80とする。そして、第1～第3の実施の形態と同様に、図2を用いて1つの基本構造体をTEG-FETとして、そのドレイン電流値から製造される半導体装置のドレイン電流値を予測し、所望のドレイン電流値と比較して、必要な単位構造体数 $n$ を決定する。この $n$ が上記単位FETブロック80の何個分に相当するか換算して $y$ を求める。ここでは、 $n$ を単位FETブロック80を構成する単位構造体100の数4で割ればよい。 $y$ は、所望のドレイン電流値が得られる単位FETブロック数である。

【0 1 1 0】

次に、 $x$ 個の単位FETブロック80上に層間絶縁膜を形成する。

【0 1 1 1】

この後、層間絶縁膜に、 $m$ 個の基本構造体に対応する第1～第3コンタクトホール46a～46cを形成する。

【0 1 1 2】

次に、第1コンタクトホール46a内および層間絶縁膜上にゲートパッド48pを、単位FETブロック80毎に形成し、第2コンタクトホール46b内および層間絶縁膜上にソースパッド50pを単位FETブロック80毎に形成し、第

3コンタクトホール46c内および層間絶縁膜上に第1ドレインパッド52を形成し、かつ層間絶縁膜上であって、第1ドレインパッド52とは離間して第2ドレインパッド54pを単位FETブロック80毎に形成する。

## 【0113】

ここでは、上記パッド48p、50p、52および54pの形成に際し、まず、層間絶縁膜上にレジスト膜を形成し、このレジスト膜をパターニングしてパッド形成用のマスクを形成する。このマスクに形成されるパターンの形状は、x個の単位ブロック毎、つまり、4つの単位FETが電氣的に共通に接続するパッドパターン形状とする。この後、パッド形成用のマスクを用いてパッド形成材料を蒸着して、リフトオフすることによって、パッド48p、50p、52、54pが形成される(図11)。

## 【0114】

次に、第1ドレインパッド52と第2ドレインパッド54pとを接続する第1パッド間配線82を形成し、かつ、x個のうち、y個のゲートパッド48p同士、ソースパッド50p同士および第2ドレインパッド54p同士をそれぞれ連結する第2パッド間配線84を形成する。

## 【0115】

第1パッド間配線82および第2パッド間配線84の形成に際し、ここでは、まず、各パッド48p、50p、54p、52が形成された構造体上にネガ型のレジスト膜を形成する。この後、第1ドレインパッド52と第2ドレインパッド54pとを接続する第1パッド間配線用パターン82x、および、ゲートパッド48p同士、ソースパッド50p同士並びに第2ドレインパッド54p同士を連結する第2パッド間配線用パターン84xが、それぞれ被覆部となるマスク86を用いて上記レジスト膜を露光する(図12(A)および図12(B))。このマスク86は、レチクルフレーム88内にx個の単位FETブロック80上の領域4つを同時に露光処理する4つの露光領域90を有している(図12(A))。図12(B)は、露光領域90内の第1パッド間配線用パターン82xおよび第2パッド間配線用パターン84xの形状を示している。

## 【0116】

次に、2つの単位FETブロックの各パッド同士を連結する第2パッド間配線用パターン84xを消去する窓パターン92が形成されたマスク94を用いて、上記レジスト膜をさらに露光する（図13（A）および図13（B））。窓パターン94は、少なくとも、2つの隣接する単位FETブロック80間に設けられる第2パッド間配線形成領域を囲む形状を有する。そして、この窓パターン92が、y個の単位FETブロックの領域80xと、y個以外（x-y個）の単位FETブロックの領域80yとの境に位置するようにマスク94の位置合わせを行う（図13（B））。なお、マスク94は、レチクルフレーム96内にx個の単位FETブロック上の領域4つを同時に露光できる4つの露光領域98を有している（図13（A））。

【0117】

2段階の露光が終了した後、現像処理を行って第1および第2パッド間配線パターンを有するレジストマスクが得られる。

【0118】

この後、レジストマスクを用いて配線材料を蒸着した後、リフトオフすることによって、第1パッド間配線82およびy個の単位FETブロック80の各パッド48p、50p、54p同士を連結する第2パッド間配線84が形成される（図11）。

【0119】

この後、第1～第3の実施の形態と同様に、構造体の上面にパッシベーション膜を形成した後、各パッドと電氣的に接続させるためのホールを形成する（図示せず。）。

【0120】

この結果、能動層領域10上には、4つの単位FETを有する単位FETブロック80がx個形成される。そして、y個の単位FETブロックの領域80x内の単位FETブロック80同士が第2パッド間配線84によって電氣的に接続されているため、製造される半導体装置において、これらy個の単位FETブロックの領域80x中のn個の各FETを、実効的に動作させることができる。また、x個のうちの不要となったx-y個の単位FETブロックの領域80yにも、

ゲートパッド 48 p、ソースパッド 50 p およびドレインパッド 54 p, 52 が形成されているため、これらのパッドに電圧を印加することによって、領域 80 y 内の FET も動作させることができる。

#### 【0 1 2 1】

上述した、第 1 ～ 第 4 の実施の形態においては、GaAs リセスゲートを有する FET を例に挙げて説明したが、これに限らず、単位 FET の基本構造体をプレーナ型の FET としてもよい。この場合は、例えば、以下のような工程を含んで基本構造体を形成すればよい。

#### 【0 1 2 2】

基板に、選択的にイオン注入することにより、能動層領域を形成する工程、  
能動層領域上にゲート電極を形成する工程、  
能動層領域を活性化するアニール工程、  
能動層領域にオーミック電極として、ソース電極およびドレイン電極を形成する工程。

#### 【0 1 2 3】

また、第 1 の実施の形態の、n 個のコンタクトホールパターンを形成する工程は、層間絶縁膜上に設けたレジスト膜を、n 回露光した後現像処理する小工程を含んでいる。しかしながら、この小工程の代わりに、レジスト膜に m 個のコンタクトホールパターンの潜像を形成しておき、不要な  $m - n$  個のコンタクトホールパターン潜像を消去するための窓パターンを有するマスクを用いて、さらに露光を行って、現像後に n 個のコンタクトホールパターンを有するレジストパターンを得るというような小工程を含んでいてもよい。

#### 【0 1 2 4】

また、第 2 の実施の形態において、n 個の単位 FET 分のパッドを選択的に形成する工程は、構造体上にネガレジスト膜を設け、このレジスト膜に露光を行って m 個の単位 FET 分のパッドパターン潜像を形成し、この後、 $m - n$  個分のパッドパターン潜像を消去するための露光を行う。この後、現像して n 個の単位 FET 分のレジストパターンを形成する小工程を含んでいる。この小工程の代わりに、構造体上にポジレジスト膜を設け、このレジスト膜に、1 個の単位 FET 分

のパッドパターンを有するマスクを用いて露光を行う処理を  $n$  回繰り返して行った後、現像することにより、 $n$  個の単位 F E T 分のパッドパターンを有するレジストパターンを形成するという小工程を含んでいてもよい。

【0 1 2 5】

また、第 4 の実施の形態では、第 1 パッド間配線および第 2 パッド間配線を、パッド上に層間膜を介さずに直接形成している例について説明したが、ゲートパッド、ソースパッドおよびドレインパッドを形成した後、層間膜を形成して、この層間膜に、各パッドに接続するコンタクトホールを形成して、このコンタクトホールを埋めるように層間膜上に配線を行っても良い。この場合、 $y$  個の単位 F E T ブロックのパッド同士が連結されるようにコンタクトホールを設ければ、 $y$  個の単位 F E T ブロックの単位 F E T を実効的に動作させることができる。

【0 1 2 6】

【発明の効果】

上述した説明から明らかなように、この発明の半導体装置の製造方法によれば、まず、所望のドレイン電流値が得られる単位 F E T の数を、予め設計しておく。そして、以下の工程を含んでいることを特徴とする。

【0 1 2 7】

(1) 設計された単位 F E T の数よりも多い  $m$  個の能動層領域を、基板上に一行に配列するように形成する工程。

【0 1 2 8】

(2)  $m$  個の能動層領域の各領域上に、それぞれ、ゲート電極、ソース電極およびドレイン電極を形成して、 $m$  個の単位 F E T の基本構造体を形成する工程。

【0 1 2 9】

(3) この基本構造体 1 つ分のドレイン電流値を測定して得られる測定値から半導体装置のドレイン電流値を予想して、この予想値と所望のドレイン電流値とを比較して、所望のドレイン電流値が得られる基本構造体の数  $n$  を決定する工程。

【0 1 3 0】

(4) 基本構造体上に層間絶縁膜を形成する工程。



## 【0 1 3 1】

(5) この層間絶縁膜を貫通し、ゲート電極の表面の一部を露出する第1コンタクトホールと、層間絶縁膜を貫通し、ソース電極の表面の一部を露出する第2コンタクトホールと、層間絶縁膜を貫通し、ドレイン電極の表面の一部を露出する第3コンタクトホールとを同時に形成する工程。

## 【0 1 3 2】

そして、上記(5)工程である第1～第3コンタクトホールの形成を、層間絶縁膜の  $n$  個の基本構造体上の領域に対してのみ行う。ただし、 $m \geq n$  とし、 $m, n > 0$  である。

## 【0 1 3 3】

単位FETの基本構造体を形成した時点で、この基本構造体をTEG-FETとして用いて、ドレイン電流値を測定すると、基本構造体の数  $m$  は、予め設計した単位FETの数よりも多いために所望のドレイン電流値よりも高い値が得られる。予め設計された数と同じ数の基本構造体を形成した場合、基本構造体を形成するいくつかの工程中に何らかの狂いが生じて、得られる基本構造体のドレイン電流値に不足が生じると、その後の工程でこの不足を補うことは出来ず、この結果FETとして製品化することはできなくなる。これに対して、上述したように、基本構造体の数を設計した数よりも多くしておけば、基本構造体のドレイン電流値に不足が生じるおそれはない。そして、この発明の製造方法では、基本構造体1つ分のドレイン電流値から予想される半導体装置のドレイン電流値は所望の値よりも高くなるが、この値は、この後の工程で所望の値になるように調整することができる。ドレイン電流の予想値と所望の値とから、製造中の構造体における必要な基本構造体数  $n$  が決定される。よって、基本構造体上に層間絶縁膜を形成した後、第1～第3コンタクトホールを層間絶縁膜に各基本構造体の一部が露出するように形成する工程((5)工程)を、決定された  $n$  個の基本構造体上の層間絶縁膜の領域に対してのみ行う。これにより、 $n$  個以外の基本構造体は、製造される半導体装置中で動作する素子ではなくなる。よって、所望のドレイン特性が得られる半導体装置を歩留り良く製造することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態の説明に供する、半導体装置の概略的なパターン透視図である。

【図 2】

TEG-FET のドレイン電流値と製造される半導体装置のドレイン電流値との関係を示す特性図である。

【図 3】

(A) および (B) は、半導体装置の製造工程を示す部分的な平面図である。

【図 4】

(A) および (B) は、半導体装置の製造工程を示す、図 3 に続く平面図である。

【図 5】

(A) は、露光に用いるマスクの概略図であり、(B) は、マスクの一部拡大図である。

【図 6】

第 2 の実施の形態の説明に供する、半導体装置の概略的なパターン透視図である。

【図 7】

第 2 の実施の形態および第 3 の実施の形態の説明に供する図であり、(A) は、パッドパターンマスクの構成を示す概略図であり、(B) は、パッドパターンマスクの要部拡大図である。

【図 8】

(A) は、パッド消去用マスクの構成を示す概略図であり、(B) は、パッド消去用マスクの要部拡大図である。

【図 9】

第 3 の実施の形態の説明に供する、半導体装置の概略的なパターン透視図である。

【図 10】

(A) は、スリットパターンマスクの構成を示す概略図であり、(B) は、ス

リットパターンマスクの要部拡大図である。

【図 1 1】

第 4 の実施の形態の説明に供する、半導体装置の概略的なパターン透視図である。

【図 1 2】

(A) は、第 1 パッド間配線および第 2 パッド間配線の形成に用いられるマスクの概略的な構成図であり、(B) は、(A) のマスクの要部拡大図である。

【図 1 3】

(A) は、一部の第 2 パッド間配線用パターンを消去するためのマスクの概略的な構成図であり、(B) は、(A) のマスクの要部拡大図である。

【図 1 4】

従来の半導体装置の概略的なパターン透視図である。

【図 1 5】

(A) ~ (E) は、従来技術およびこの発明の実施の形態の説明に供する、単位 FET の基本構造体の製造工程図である。

【符号の説明】

1 0 : 能動層領域

1 2, 2 0 4 : ソース電極

1 4, 2 0 6 : ドレイン電極

1 6, 2 0 8 : ゲート電極

1 6 a, 2 0 8 a : 電極部

1 6 b, 2 0 8 b : ゲートフィンガー

2 0 a, 4 6 a, 2 1 0 : 第 1 コンタクトホール

2 0 b, 4 6 b, 2 1 4 : 第 2 コンタクトホール

2 0 c, 4 6 c, 2 1 8 : 第 3 コンタクトホール

2 2, 4 8, 4 8 p, 2 1 2 : ゲートパッド (第 1 配線)

2 4, 5 0, 5 0 p, 2 1 6 : ソースパッド (第 1 配線)

2 6 a, 5 2, 2 2 0 : 第 1 ドレインパッド (第 1 配線)

2 6 b, 5 4, 5 4 p, 2 2 4 : 第 2 ドレインパッド (第 1 配線)

- 2 8, 8 7, 2 2 2 : エアブリッジ配線 (第 2 配線)
- 3 0 : マスク (レチクル)
- 3 2, 5 8, 6 8, 7 6, 8 8, 9 6 : レチクルフレーム
- 3 4, 6 0, 7 0, 7 8, 9 0, 9 8 : 露光領域
- 3 6, 9 2 : 窓パターン
- 3 6 a : 第 1 コンタクトホール用窓パターン
- 3 6 b : 第 2 コンタクトホール用窓パターン
- 3 6 c : 第 3 コンタクトホール用窓パターン
- 4 0 : 半導体装置
- 4 2 :  $n$  個の単位 F E T
- 4 2 x :  $n$  個の基本構造体の領域
- 4 4 :  $m - n$  個の基本構造体の領域
- 4 5 :  $m - n$  個の単位 F E T
- 4 8 x : ( $n$  個の基本構造体に接続する) ゲートパッド
- 4 8 y : ( $m - n$  個の基本構造体に接続する) ゲートパッド
- 5 0 x : ( $n$  個の基本構造体に接続する) ソースパッド
- 5 0 y : ( $m - n$  個の基本構造体に接続する) ソースパッド
- 5 2 x : ( $n$  個の基本構造体に接続する) 第 1 ドレインパッド
- 5 2 y : ( $m - n$  個の基本構造体に接続する) 第 1 ドレインパッド
- 5 4 x : ( $n$  個の基本構造体に接続する) 第 2 ドレインパッド
- 5 4 y : ( $m - n$  個の基本構造体に接続する) 第 2 ドレインパッド
- 5 6 : パッドパターンマスク (レチクル)
- 6 2 : 島パターン
- 6 4 : パッド消去用マスク
- 6 6, 7 4 : 窓
- 7 2 : スリットパターンマスク
- 8 0 : 単位 F E T ブロック
- 8 0 x :  $y$  個の単位 F E T ブロックの領域
- 8 0 y :  $y$  個以外 ( $x - y$  個) の単位 F E T ブロックの領域

8 2 : 第 1 パッド間配線

8 2 x : 第 1 パッド間配線用パターン

8 4 : 第 2 パッド間配線

8 4 x : 第 2 パッド間配線用パターン

8 6 , 9 4 : マスク

1 0 0 : m 個の単位 F E T の基本構造体

1 0 2 , 1 0 4 , 1 1 0 , 1 1 2 : 基本構造体

2 0 0 : 単位 F E T

2 0 2 : 能動層

3 0 0 : 基板

3 0 2 : n 型チャネル層

3 0 4 :  $n^+$ コンタクト層

3 0 4 x :  $n^+$ コンタクト層の残存部分

3 0 6 : ワイドリセス

3 0 8 : マスク

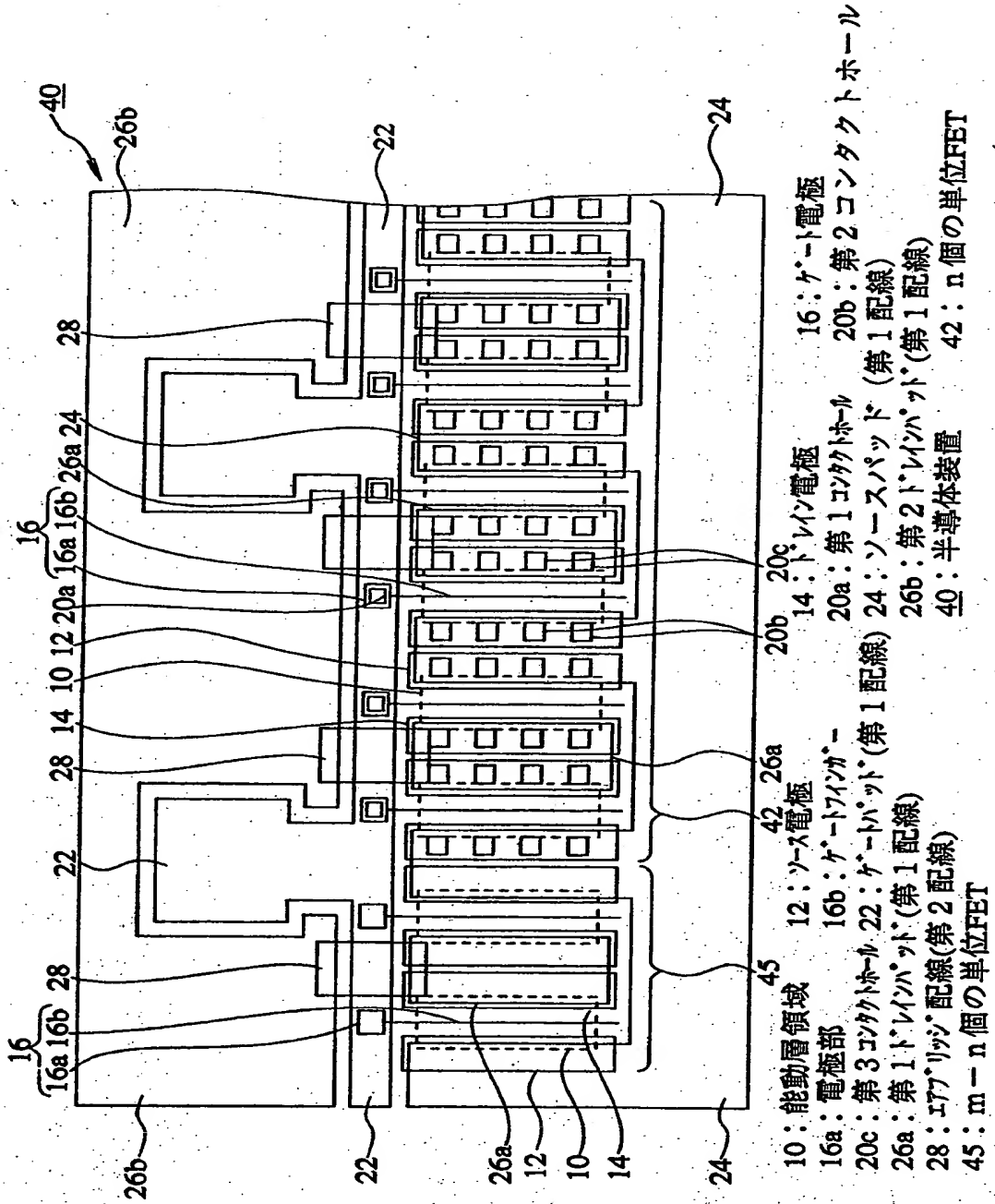
3 0 8 a : 開口部

3 1 0 : ナローリセス

3 1 2 : ゲート金属

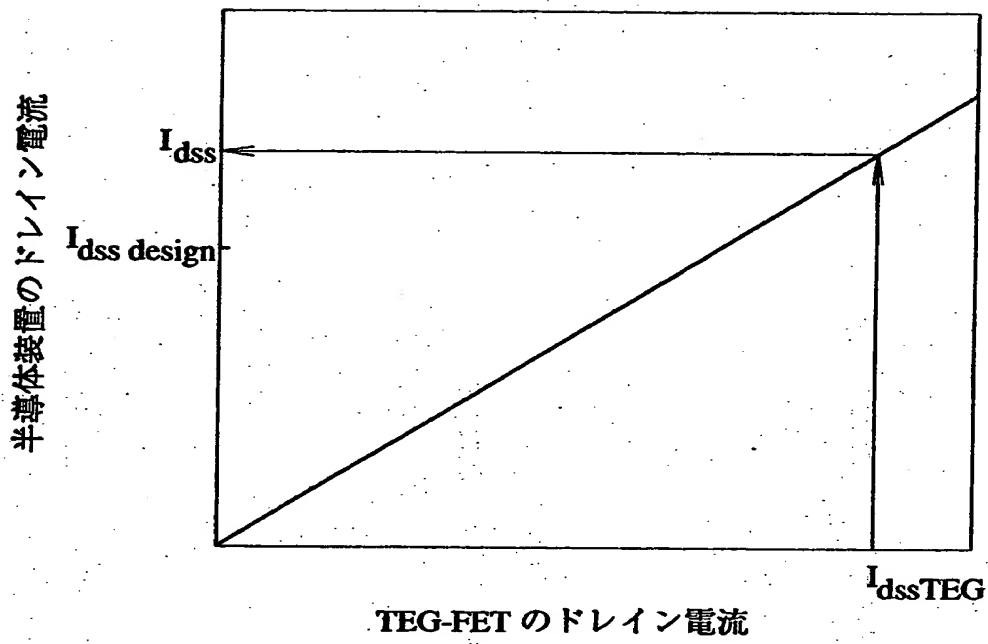
【書類名】 図面

【図 1】



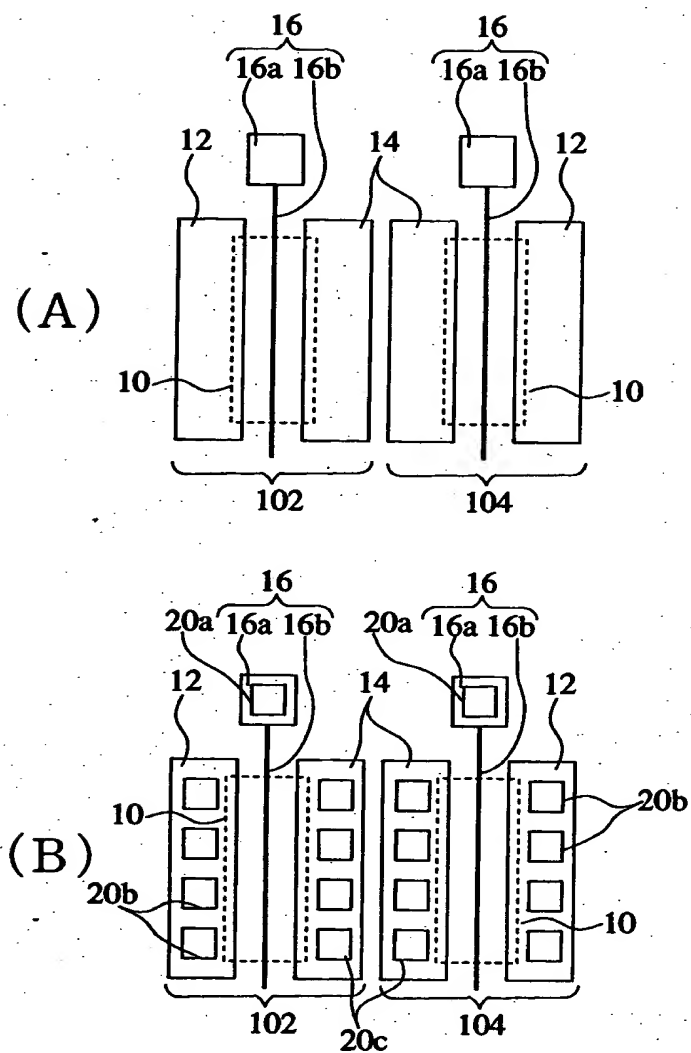
半導体装置のパターン透視図

【図 2】



TEG-FETと半導体装置との間のドレイン電流特性図

【図 3】

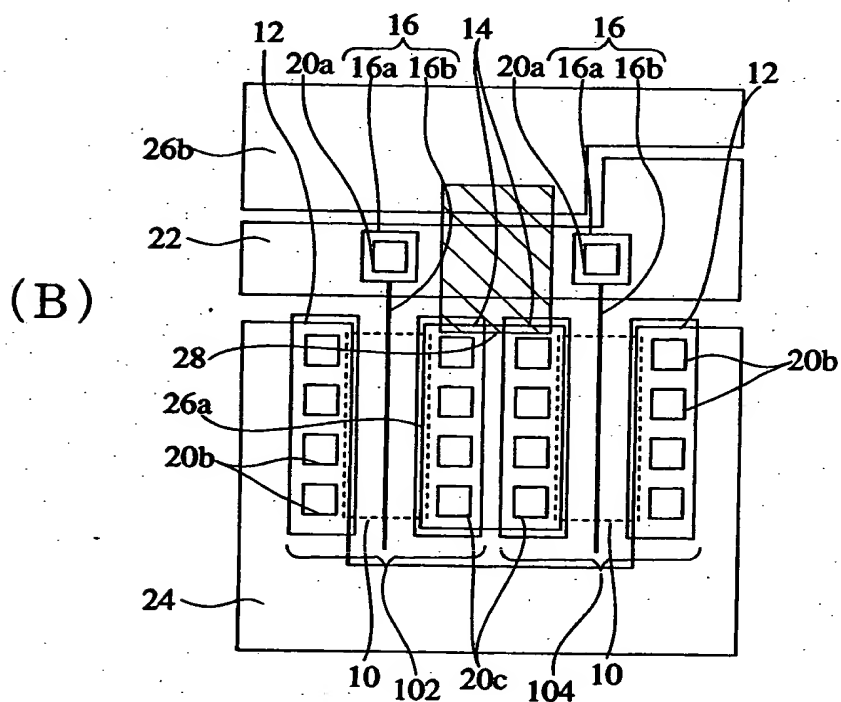
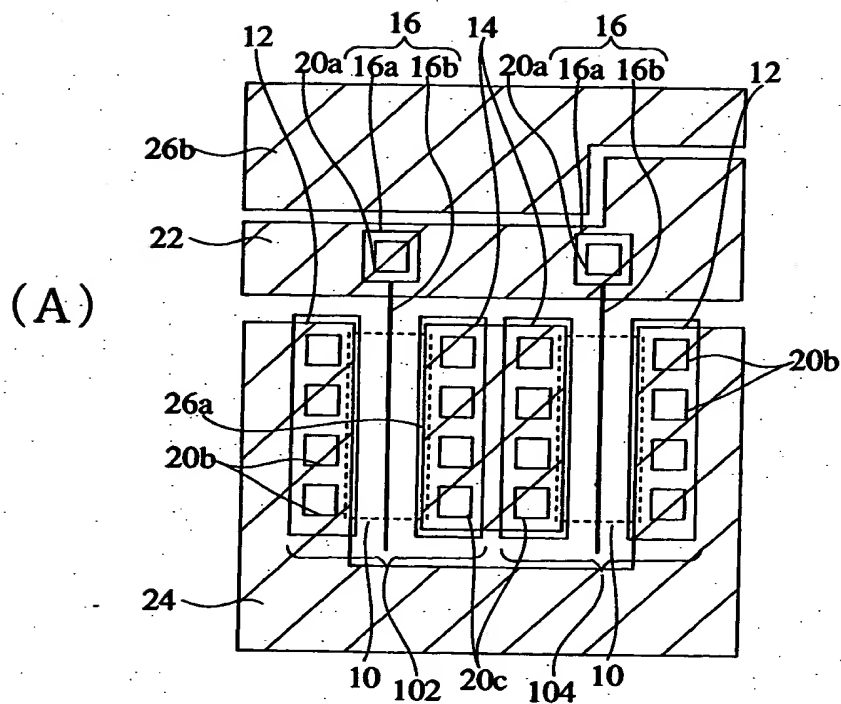


102, 104 : 基本構造体

半導体装置の製造工程図 (平面図その 1)

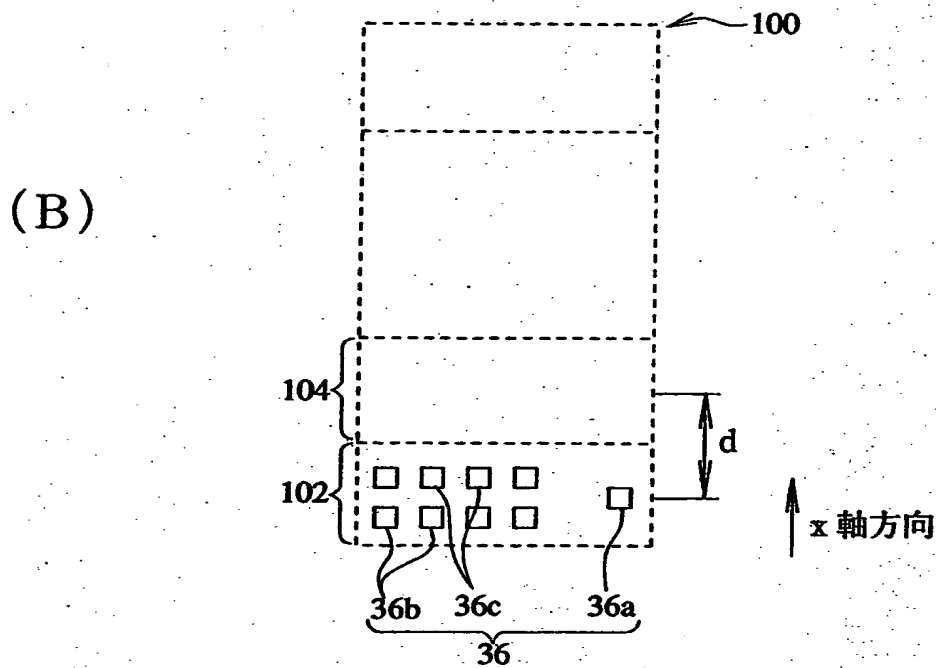
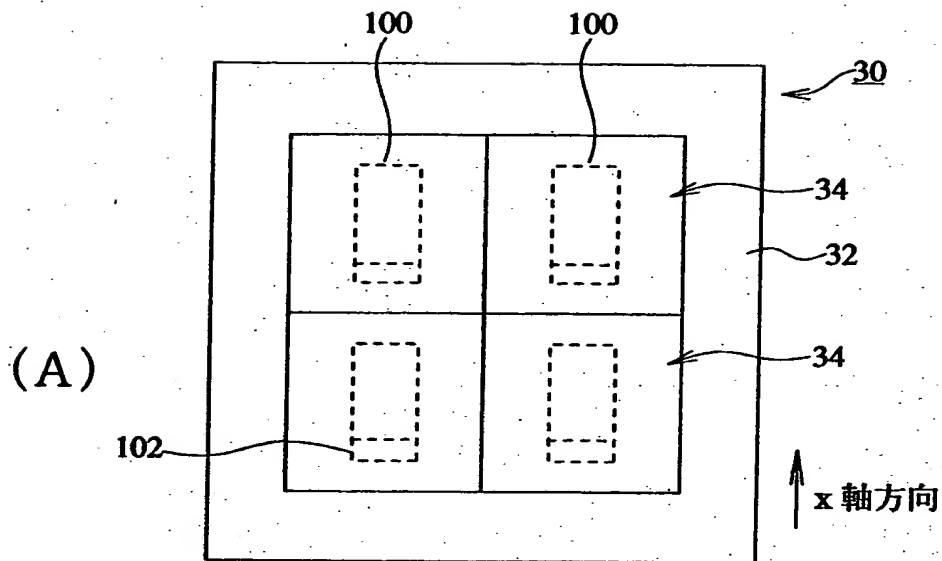


【図 4】



半導体装置の製造工程図（平面図その 2）

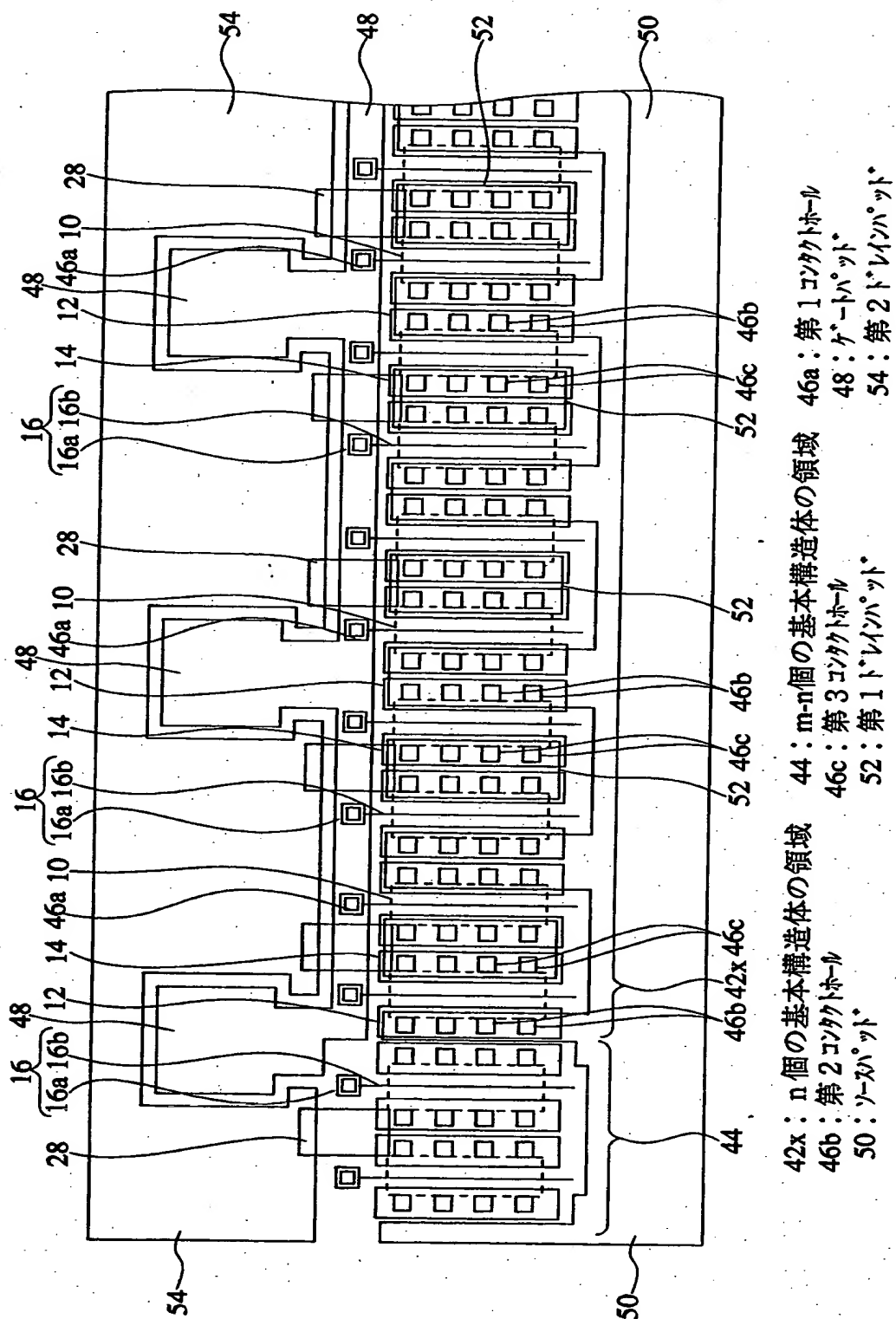
【図 5】



- 30 : マスク (レチクル)    32 : レチクルフレーム    34 : 露光領域  
 36 : 窓パターン    36a : 第 1 コンタクトホール用窓パターン  
 36b : 第 2 コンタクトホール用窓パターン    36c : 第 3 コンタクトホール用窓パターン  
 100 : m 個の単位 FET の基本構造体

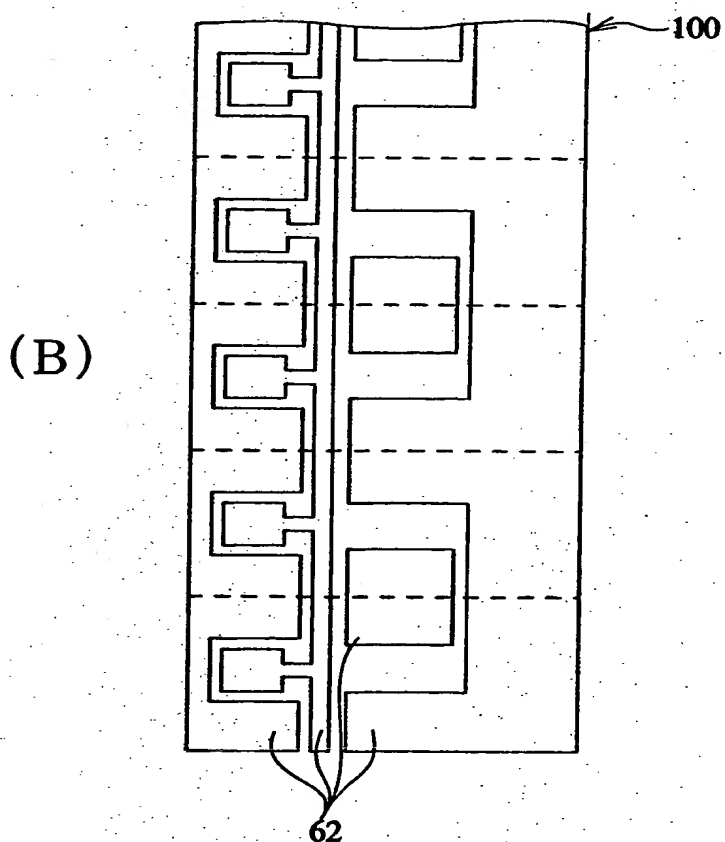
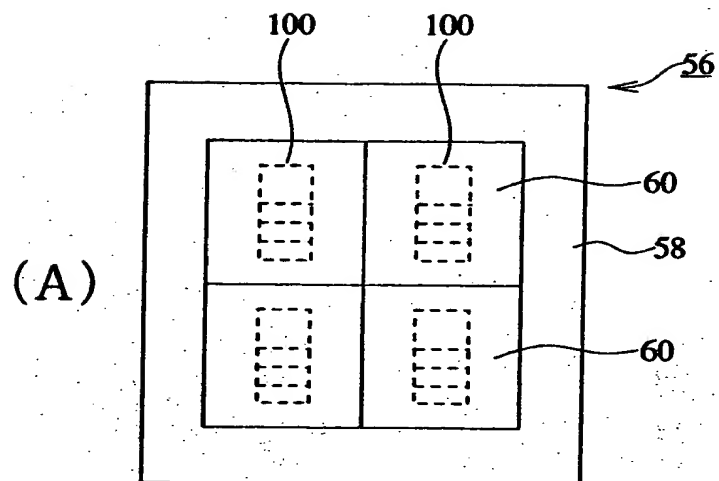
マスクの構成図

【図 6】



半導体装置のパターン透視図

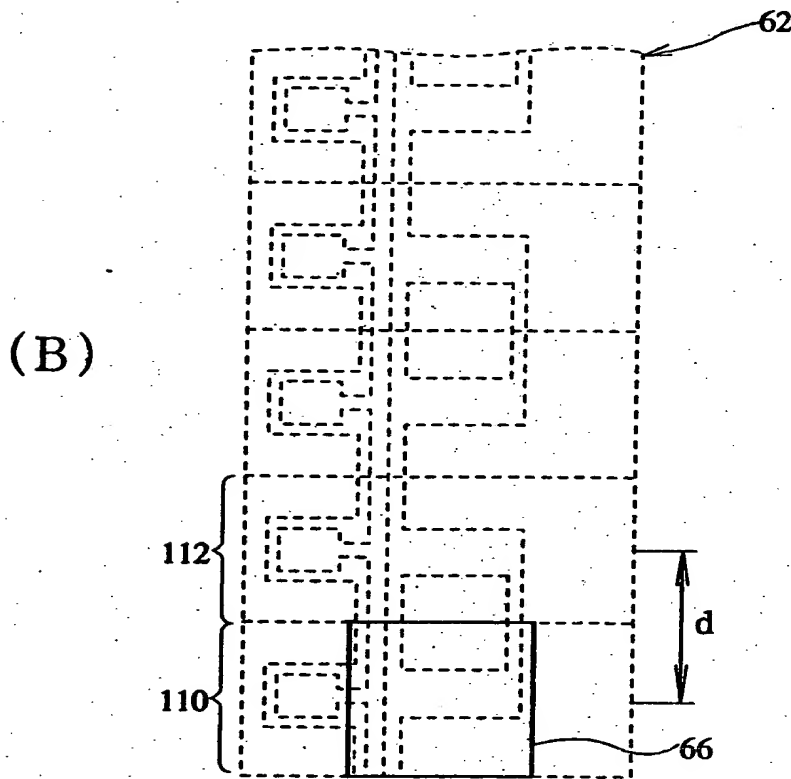
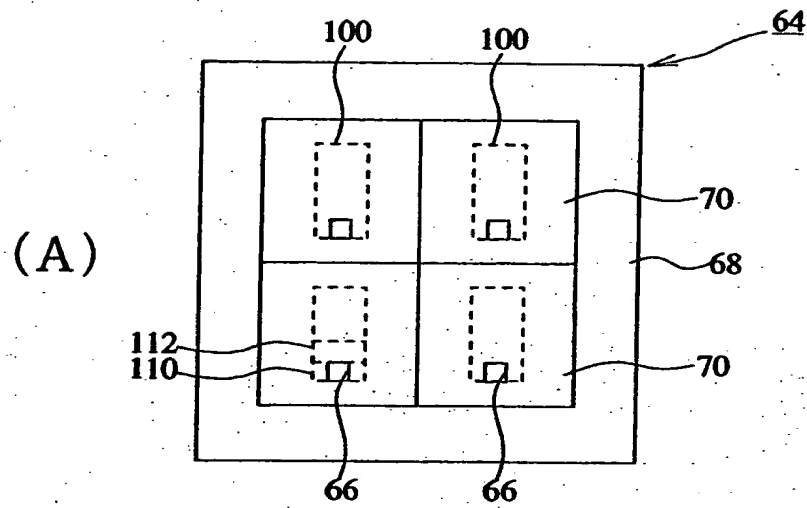
【図 7】



56 : パッドパターンマスク(レチクル)    58 : レチクルフレーム  
60 : 露光領域                                  62 : 島パターン

パッドパターンマスクの構成図

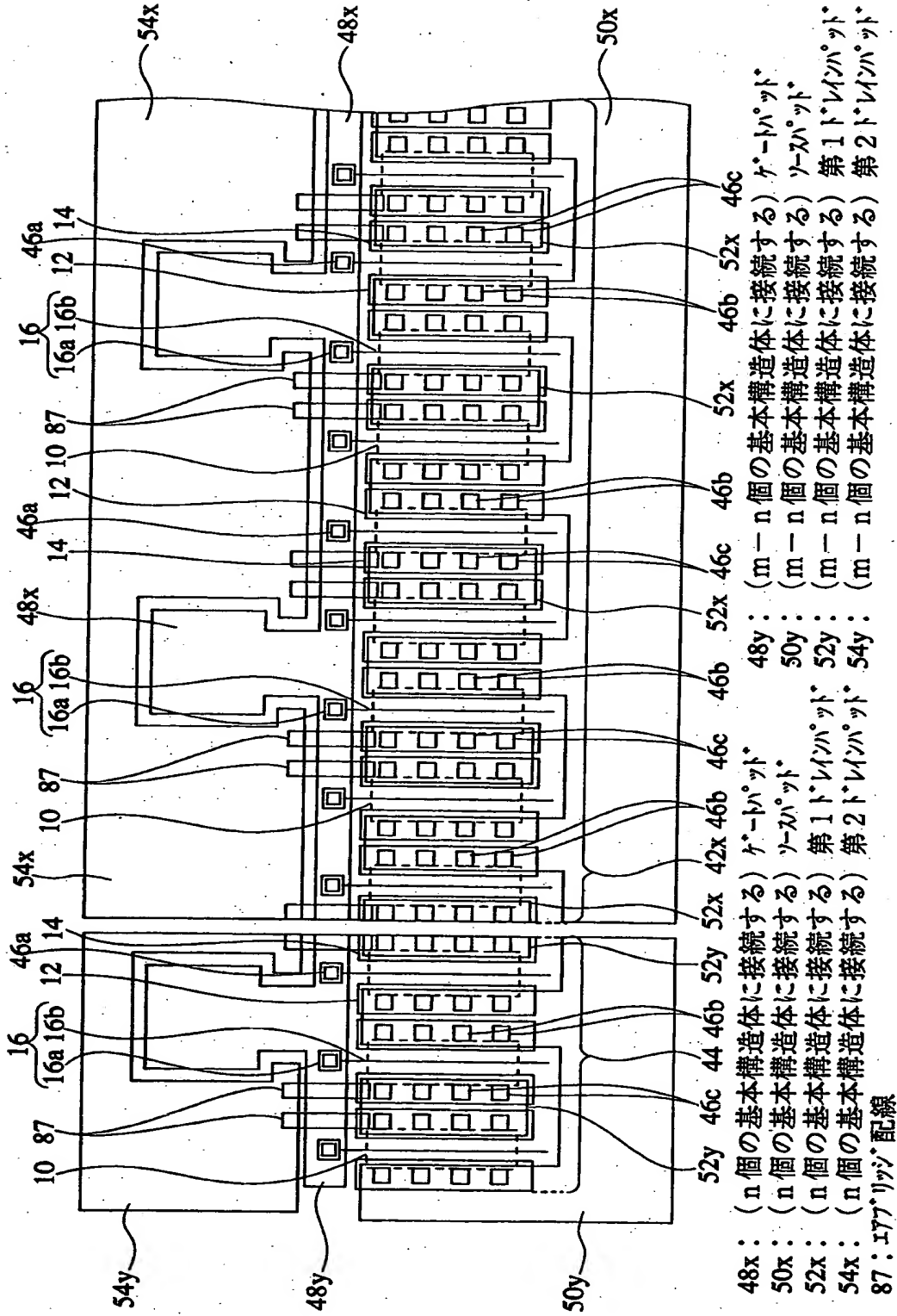
【図 8】



64 : パット除去用マスク 66 : 窓  
 68 : レチクルフレーム 70 : 露光領域  
 110, 112 : 基本構造体

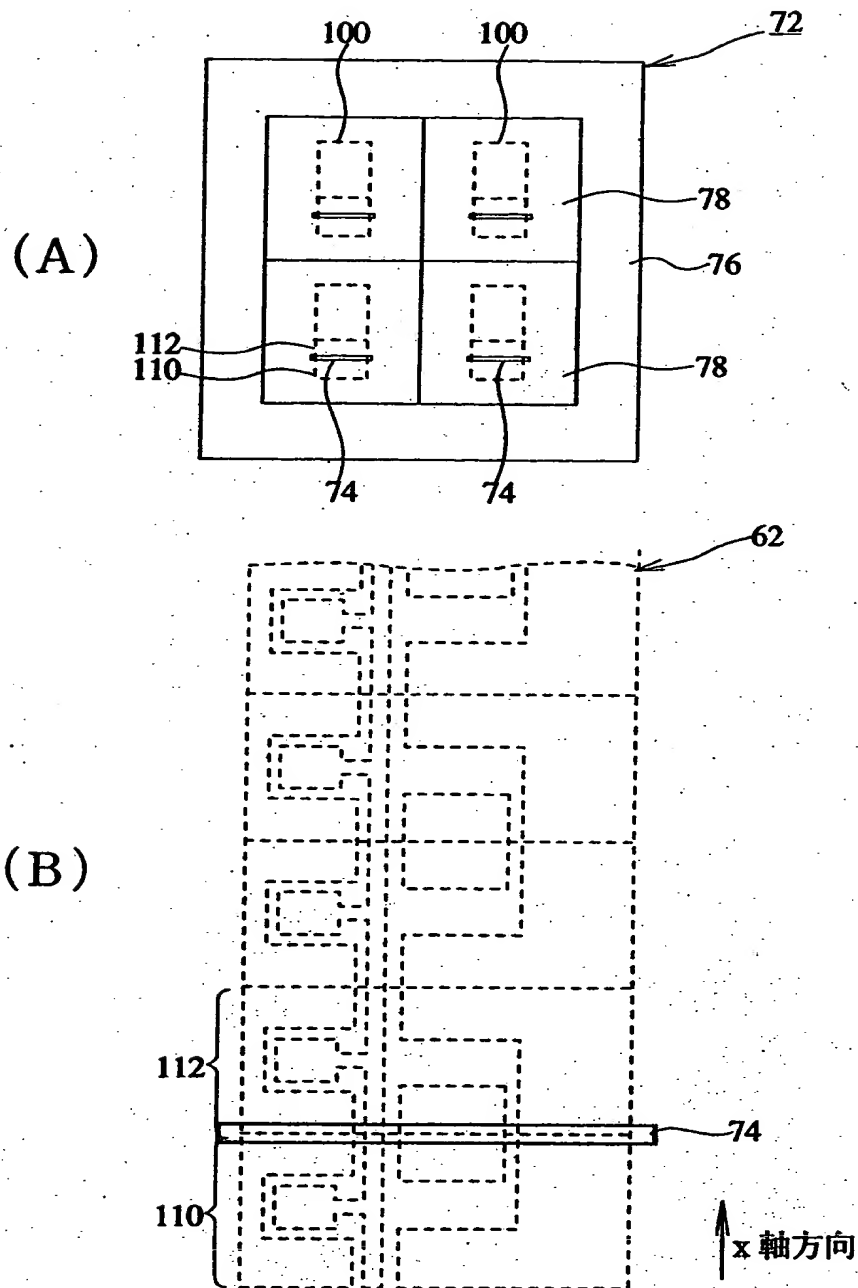
パット除去用マスクの構成図

【図 9】



半導体装置のパターン透視図

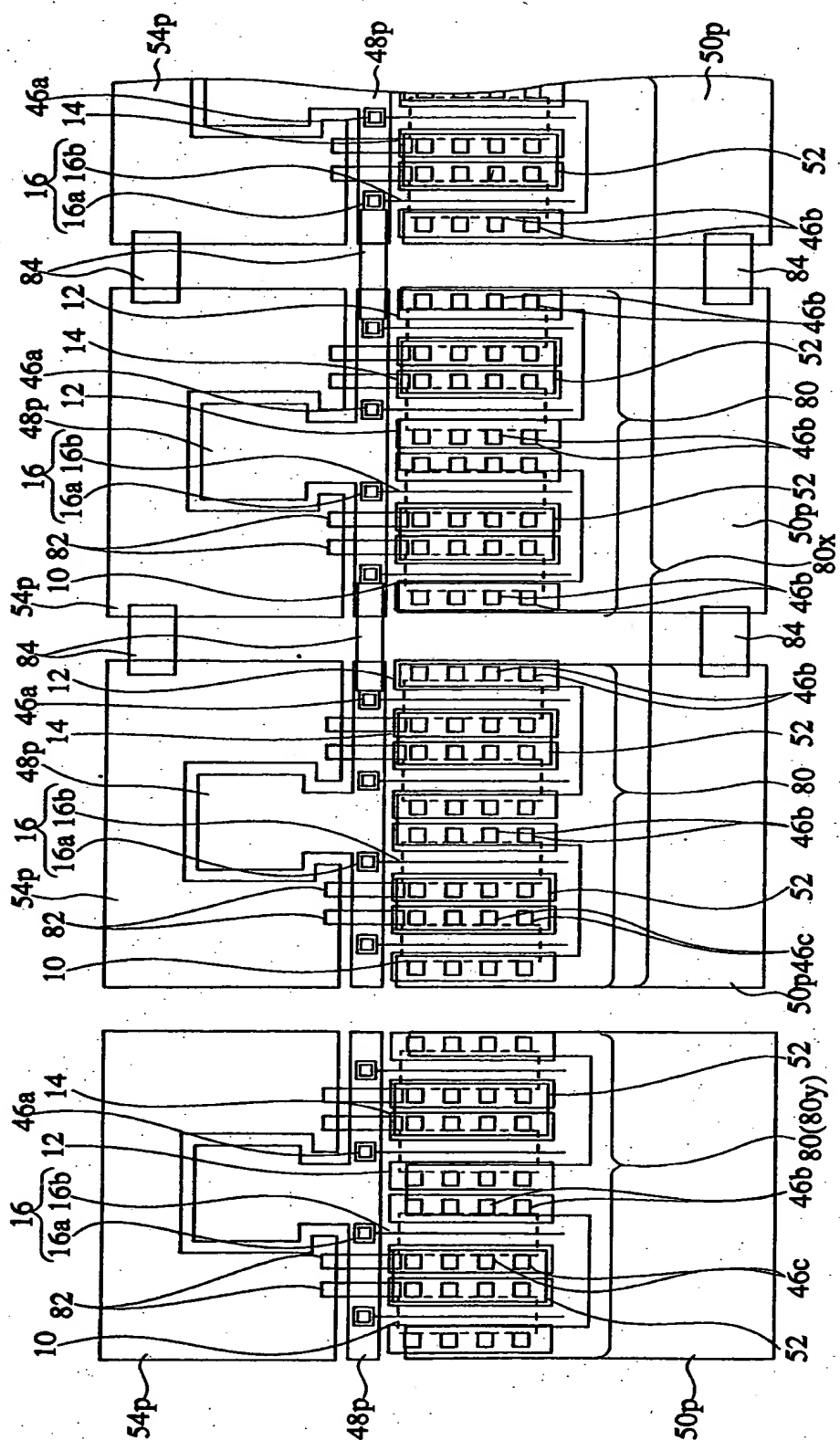
【図 1 0】



72：スリットパターンマスク      74：窓（スリットパターン）  
76：レチクルフレーム      78：露光領域

スリットパターンマスクの構成図

【圖 1 1】

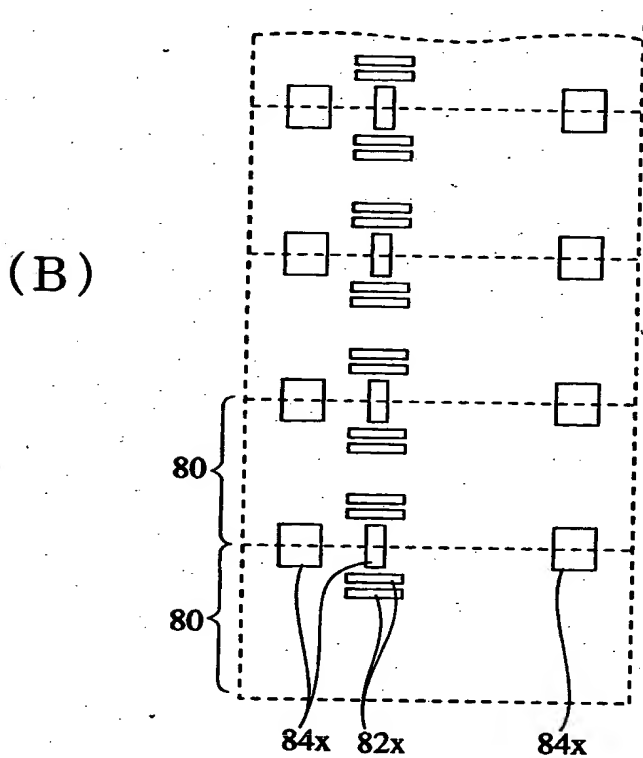
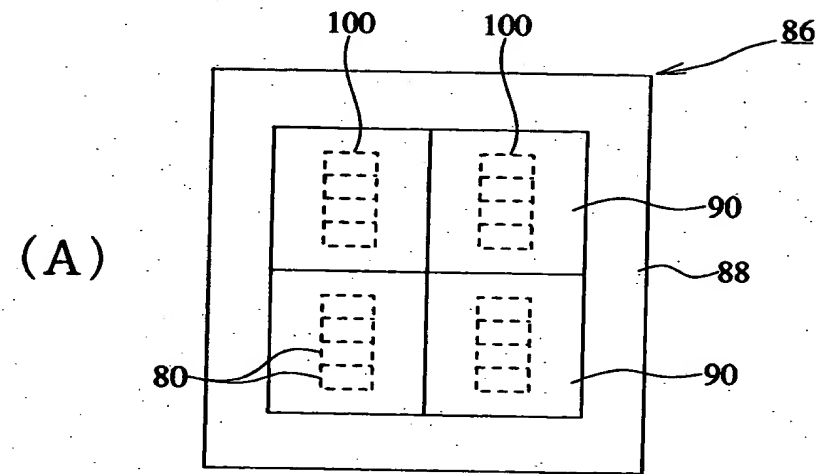


48p: ゲートパット 50p: ソースパット 80: 単位FETブロック  
80x: y 個の単位FETブロックの領域 80y: y 個以外 (x - y 個) の単位FETブロックの領域  
82: 第1パット間配線 84: 第2パット間配線

半導体装置のパターン透視図



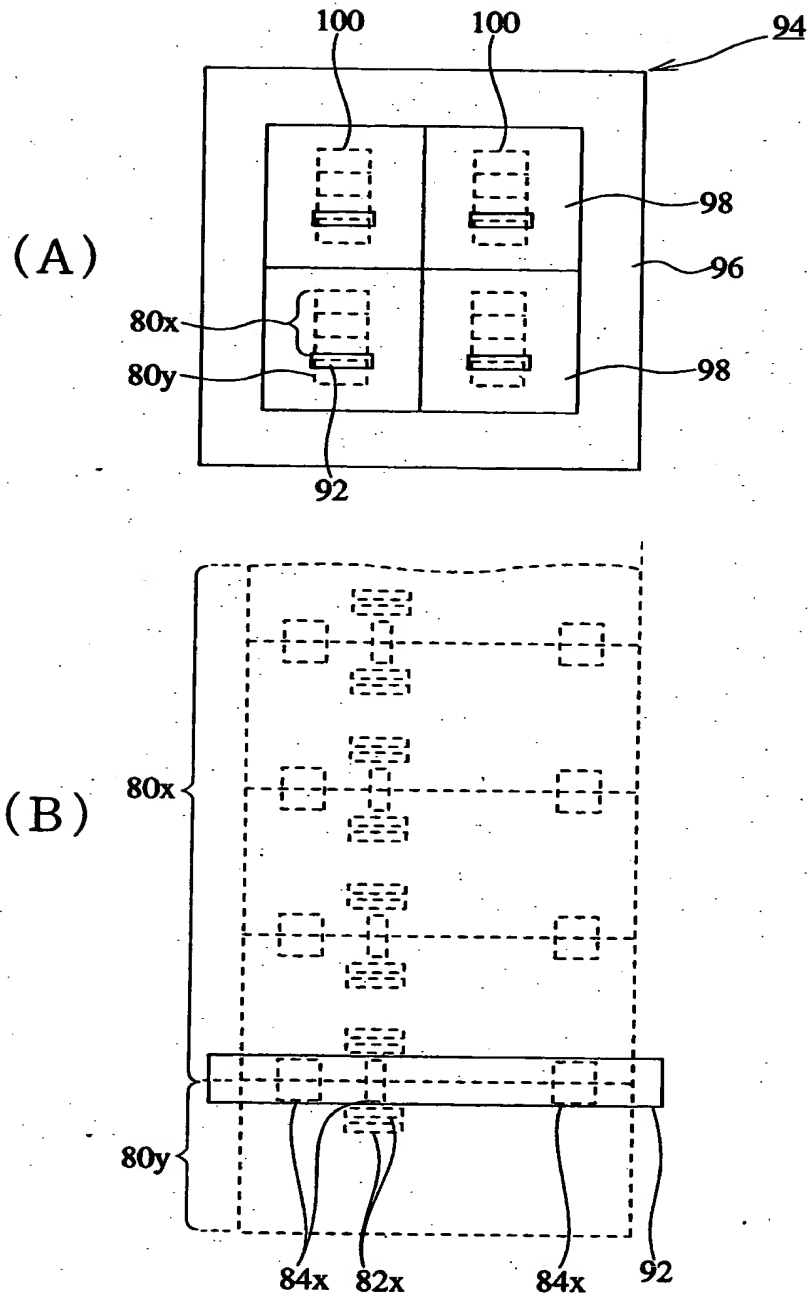
【図 1 2】



82x: 第 1 パット間配線用パターン  
 84x: 第 2 パット間配線用パターン  
 86: マスク      88: レチクルフレーム  
 90: 露光領域

第 1 および第 2 パット間配線の形成に用いるマスクの構成図

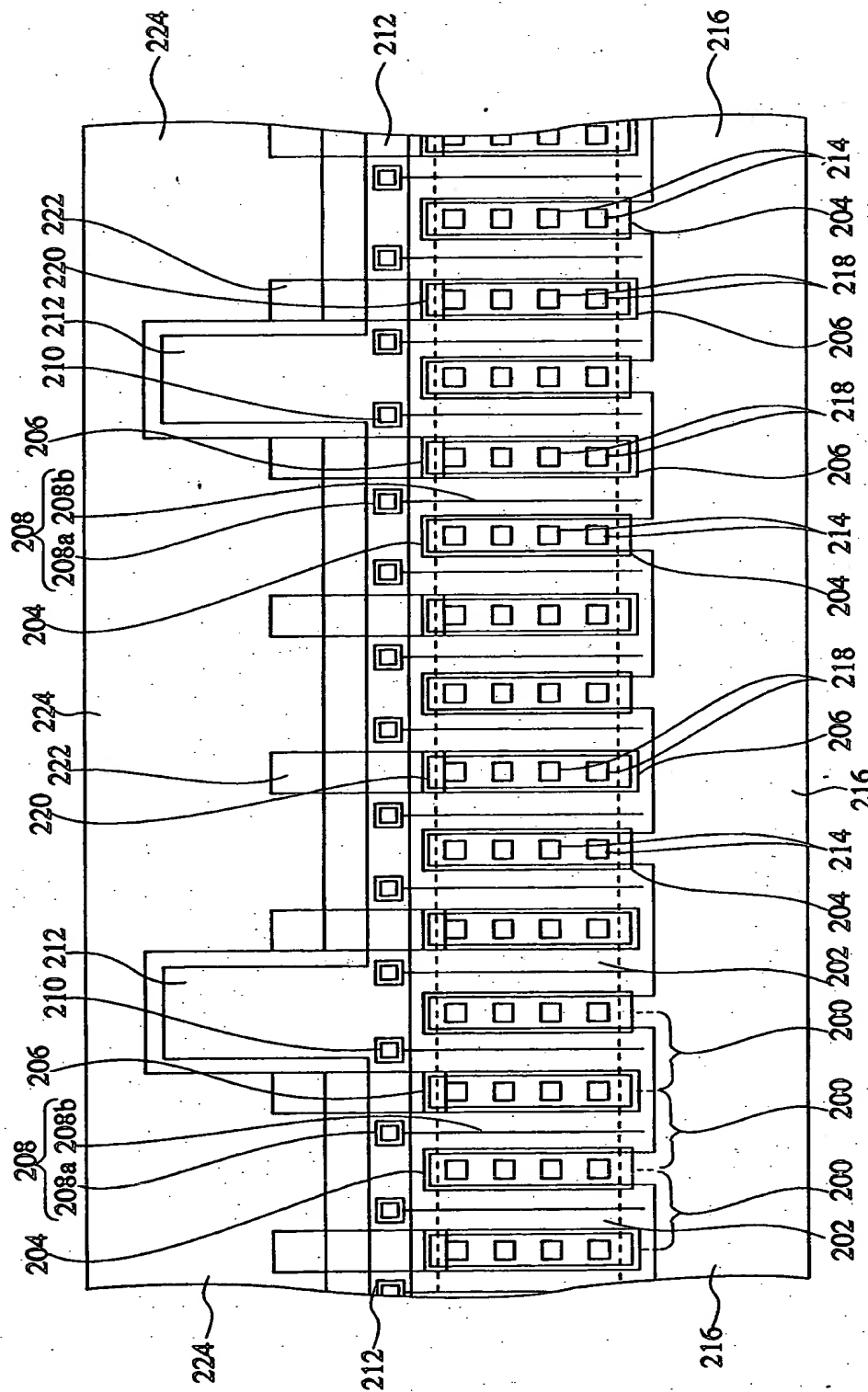
【図 1 3】



92：窓パターン      94：マスク  
96：レチクルフレーム      98：露光領域

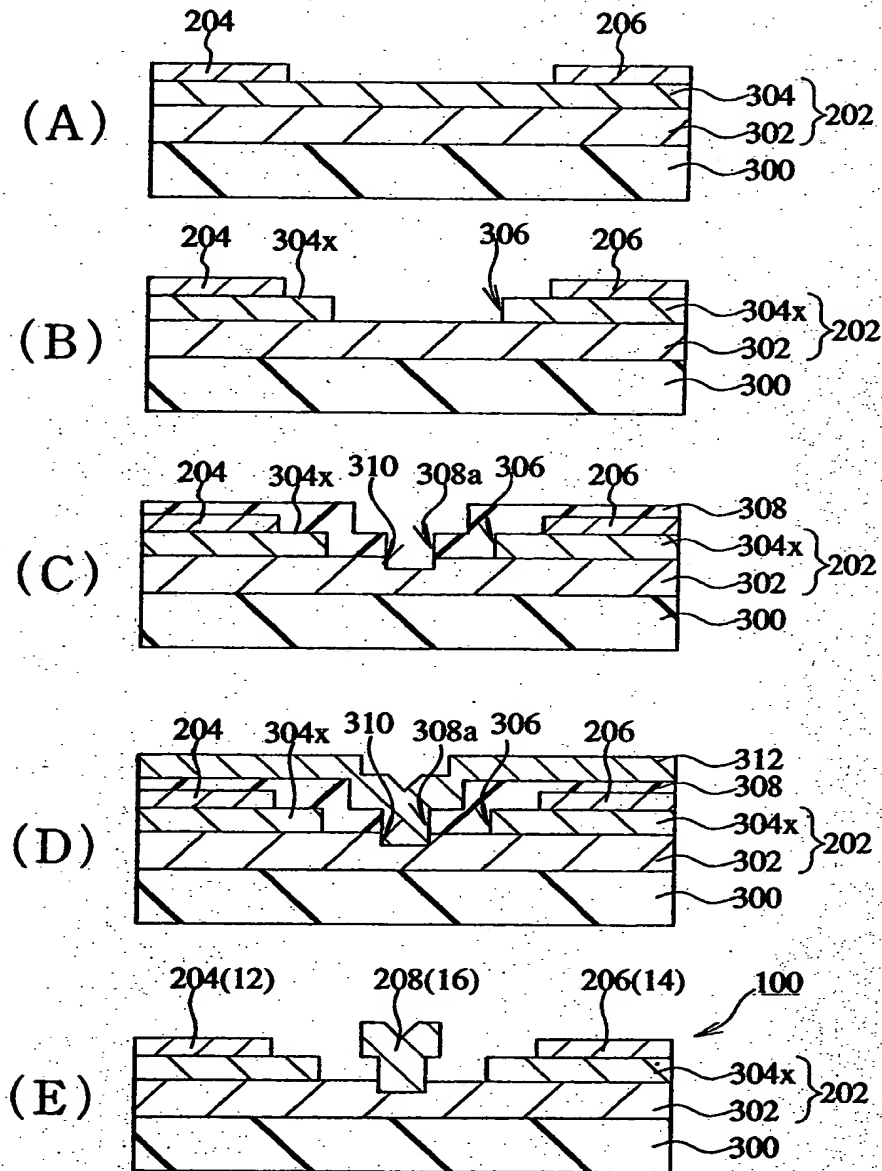
第2パット間配線用パターンの消去に用いるマスクの構成図

【図 1 4】



従来の半導体装置のパターン透視図

【図 1 5】



単位 F E T の基本構造体の製造工程図

【書類名】 要約書

【要約】

【課題】 TEG-FETの特性測定後に、特性の劣化を改善することが可能な半導体装置の製造方法。

【解決手段】 設計された単位FETの数よりも多い $m$ 個の能動層領域10の各領域上に単位FETの基本構造体を形成する工程と、基本構造体1つ分のドレイン電流特性の測定値から予想される半導体装置のドレイン電流値と所望のドレイン電流値とから所望の基本構造体の数 $n$ を決定する工程と、基本構造体上に層間絶縁膜を形成する工程と、層間絶縁膜を貫通しゲート電極16の表面の一部を露出する第1コンタクトホール20aと、層間絶縁膜を貫通しソース電極12の表面の一部を露出する第2コンタクトホール20bと、層間絶縁膜を貫通しドレイン電極14の表面の一部を露出する第3コンタクトホール20cとを同時に形成する工程とを含み、第1～第3コンタクトホールの形成を層間絶縁膜の $n$ 個の基本構造体上の領域に対してのみ行う。

【選択図】 図1

特平 11-344638

認定・付加情報

特許出願の番号	平成11年 特許願 第344638号
受付番号	59901182110
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年12月 7日

<認定情報・付加情報>

【提出日】	平成11年12月 3日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社